








DISPLAY

Patent number: WO9926131
Publication date: 1999-05-27
Inventor: MASUDA KOZO (JP); ARAI IKUYA (JP); IMAOKA REN (JP); KIKUCHI KAZUFUMI (JP)
Applicant: HITACHI LTD (JP); MASUDA KOZO (JP); ARAI IKUYA (JP); IMAOKA REN (JP); KIKUCHI KAZUFUMI (JP)
Classification:
- International: G06F3/153; G06F13/38; G09G5/00; H04N5/44
- european: G09G1/16; G09G3/20; G09G5/00M
Application number: WO1998JP04882 19981028
Priority number(s): JP19970311739 19971113

Also published as:

 EP1030241 (A1)
 US6765543 (B1)

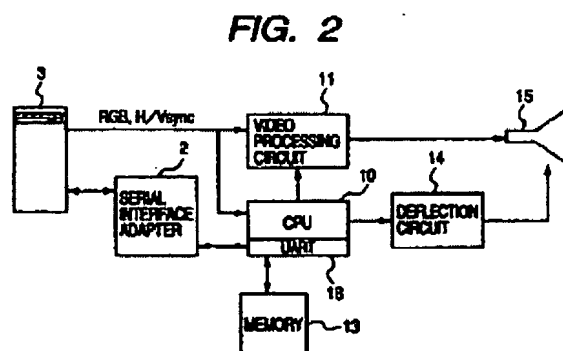
Cited documents:

 JP9006479
 JP3029253U
 JP7021109
 JP6236339
 JP10097352
more >>

[Report a data error here](#)

Abstract of WO9926131

A display comprising a serial interface adapter (2) disposed between a PC (3) and a CPU (10) in the display, thereby converting communication information in either interface specification of the PC (3) and the display to the other. Via the serial interface adapter (2), the display can carry out communication with any computer. The serial interface adapter (2) is detachably disposed in the front panel of the display, and can be easily replaced by another according to the interface specifications of the PC.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

再公表特許 (A 1)

(11) 国際公開番号

WO 99 / 2 6 1 3 1

発行日 平成14年 9 月10日 (2002. 9. 10)

(43) 国際公開日 平成11年 5 月27日 (1999. 5. 27)

(51) Int.Cl. ⁷	識別記号	F I
G 0 6 F 3/153	3 3 3	G 0 6 F 3/153 3 3 3 A
13/38	3 2 0	13/38 3 2 0
G 0 9 G 5/00	5 1 0	G 0 9 G 5/00 5 1 0 A
H 0 4 N 5/44		H 0 4 N 5/44 A

審査請求 未請求 予備審査請求 有 (全 66 頁)

出願番号 特願2000-521432(P2000-521432)
 (21) 国際出願番号 P C T / J P 9 8 / 0 4 8 8 2
 (22) 国際出願日 平成10年10月28日 (1998. 10. 28)
 (31) 優先権主張番号 特願平9-311739
 (32) 優先日 平成 9 年11月13日 (1997. 11. 13)
 (33) 優先権主張国 日本 (J P)
 (81) 指定国 E P (A T, B E, C H, C Y, D E, D K, E S, F I, F R, G B, G R, I E, I T, L U, M C, N L, P T, S E), J P, K R, U S

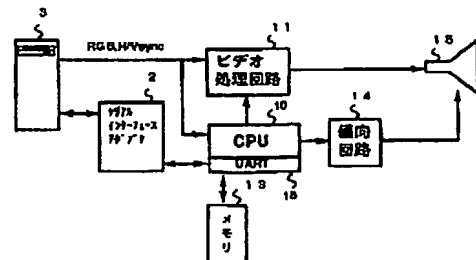
(71) 出願人 株式会社日立製作所
 東京都千代田区神田駿河台四丁目 6 番地
 (72) 発明者 増田 浩三
 日本国神奈川県横浜市戸塚区吉田町292番
 地 株式会社日立製作所マルチメディアシ
 ステムズ開発本部内
 (72) 発明者 荒井 郁也
 日本国神奈川県横浜市戸塚区吉田町292番
 地 株式会社日立製作所マルチメディアシ
 ステムズ開発本部内
 (74) 代理人 弁理士 作田 康夫

最終頁に続く

(54) 【発明の名称】 ディスプレイ装置

(57) 【要約】

P C (3) とディスプレイ装置内の C P U (1 0) との間にシリアルインターフェースアダプタ (2) を設け、P C (3) とディスプレイのもつインターフェース仕様の通信情報の相互変換を行えるディスプレイ装置である。上記シリアルインターフェースアダプタ (2) を介することにより、ディスプレイ装置は様々なコンピュータと通信を行うことが可能となる。また、前記シリアルインターフェースアダプタ (2) を着脱可能とし、ディスプレイのフロントパネルに配置し、P C のインターフェース仕様に応じて容易に差し替えられる構成とする。



【特許請求の範囲】

【請求項 1】 CPUを有するディスプレイ装置において、コンピュータとの通信におけるインターフェース仕様を複数種有し、前記コンピュータとの通信における前記インターフェース仕様の情報を前記CPUの処理可能なインターフェース仕様に変換するインターフェース変換手段を有することを特徴とするディスプレイ装置。

【請求項 2】 CPUを有するディスプレイ装置において、コンピュータとの通信におけるインターフェース仕様を複数種有し、前記コンピュータとの通信において、前記複数種のうちの1のインタフェース仕様の情報を前記CPUが処理可能なインターフェース仕様に変換し、前記CPUのインターフェース仕様の情報を前記コンピュータが処理可能な前記複数種のインターフェース仕様のうちのいずれかに変換するインターフェース仕様変換手段を有することを特徴とするディスプレイ装置。

【請求項 3】 CPUを有するディスプレイ装置において、コンピュータとの通信におけるインターフェース仕様を複数種有し、前記コンピュータとの通信における前記インターフェース仕様の情報を前記CPUの処理可能なインターフェース仕様に変換するインターフェース変換手段を取り付ける部分を設けたことを特徴とするディスプレイ装置。

【請求項 4】 CPUを有するディスプレイ装置において、コンピュータとの通信におけるインターフェース仕様を複数種有し、前記コンピュータとの通信において、前記複数種のうちの1のインタフェース仕様の情報を前記CPUが処理可能なインターフェース仕様に変換し、前記CPUのインターフェース仕様の情報を前記コンピュータが処理可能な前記複数種のインターフェース仕様のうちのいずれかに変換するインターフェース仕様変換手段を取り付ける部分を設けたことを特徴とするディスプレイ装置。

【請求項 5】 請求項 1 乃至請求項 4 に記載のディスプレイ装置において、前記インターフェース仕様変換手段は前記ディスプレイ装置の有する前記CPUとは異なる仕様である少なくとも1つのCPUと、前記少なくとも1つのCPUによって制御される少なくとも1つのハブを有し、前記ハブには1以上のコンピュ-

タと複数の周辺機器とが接続可能で、前記ハブは前記少なくとも1つのCPUにより制御されることを特徴とするディスプレイ装置。

【請求項6】 請求項5に記載のディスプレイ装置において、前記インターフェース仕様変換手段の有する前記ハブに前記コンピュータの第1のインターフェースを接続可能で、前記インターフェース仕様変換手段の有する前記CPUに前記コンピュータの第2のインターフェースを接続可能とすることを特徴とするディスプレイ装置。

【請求項7】 請求項5に記載のディスプレイ装置において、前記インターフェース仕様変換手段の有する前記ハブに前記コンピュータの第1のインターフェースを接続可能で、前記インターフェース仕様変換手段の有する前記CPUに前記コンピュータの第2のインターフェースを接続可能とし、前記インターフェース仕様変換手段の有するCPU内部にディスプレイ基本情報の記憶されたメモリエリアを設け、第2のインターフェースを介して前記コンピュータへ前記メモリエリアに記憶される情報を送信することを可能としたことを特徴とするディスプレイ装置。

【請求項8】 請求項5に記載のディスプレイ装置において、前記インターフェース仕様変換手段の有する前記ハブに前記コンピュータの第1のインターフェースを接続可能で、前記インターフェース仕様変換手段の有する前記CPUに前記コンピュータの第2のインターフェースを接続可能とし、前記インターフェース仕様変換手段にディスプレイ基本情報の記憶されたメモリ手段を設け、第2のインターフェースを介して前記コンピュータへ前記メモリ手段に記憶される情報を送信可能とすることを特徴とするディスプレイ装置。

【請求項9】 請求項5に記載のディスプレイ装置において、前記インターフェース仕様変換手段の有する前記ハブに前記コンピュータの第1のインターフェースを接続可能で、前記インターフェース仕様変換手段の有する前記CPUに前記コンピュータの第2のインターフェースを接続可能とし、前記インターフェース仕様変換手段に前記第1、第2のインターフェースの双方の仕様に対応したディスプレイ基本情報が記憶されるメモリ手段を設けたことを特徴とするディスプレイ装置。

【請求項 10】 請求項 8 に記載のディスプレイ装置において、前記インターフェース仕様変換手段の有する CPU の制御により、前記メモリ手段を初期状態に戻すメモリリセット手段を設けたことを特徴とするディスプレイ装置。

【請求項 11】 請求項 8 に記載のディスプレイ装置において、前記インターフェース仕様変換手段の有する CPU と通信を行うデバイス毎に専用通信回線を設けたことを特徴とするディスプレイ装置。

【請求項 12】 CPU を有するディスプレイ装置において、コンピュータとの通信におけるインターフェース仕様の情報を前記ディスプレイ装置の有する CPU のインターフェース仕様に変換し、前記ディスプレイ装置の有する CPU のインターフェース仕様の情報を前記コンピュータの対応するインターフェース仕様に変換する制御を行う CPU を備えたインターフェース仕様変換手段を有し、前記ディスプレイ装置の CPU から前記インターフェース仕様変換手段の CPU に対して、コマンド又はデータのリードを要求する手段を設けたことを特徴とするディスプレイ装置。

【請求項 13】 請求項 9 に記載のディスプレイ装置において、前記インターフェース仕様変換手段の有する前記 CPU と前記ハブとを初期状態とするリセット手段を前記インターフェース仕様変換手段に設けたことを特徴とするディスプレイ装置。

【請求項 14】 請求項 9 に記載のディスプレイ装置において、前記インターフェース仕様変換手段の有するハブを初期状態とするリセット手段を設けたことを特徴とするディスプレイ装置。

【請求項 15】 請求項 7 または 8 に記載のディスプレイ装置において、前記インターフェース仕様変換手段の CPU が複数のディスプレイ装置の CPU と通信可能とすることを特徴とするディスプレイ装置。

【請求項 16】 請求項 15 に記載の複数のディスプレイ装置は上下または左右、あるいは上下、左右両方につなぎ合わせたマルチスクリーンディスプレイであることを特徴とするディスプレイ装置。

【請求項 17】 R, G, B のビデオ信号が入力されるビデオ処理回路と、前記ビデオ処理回路の出力に基づき表示を行なう表示デバイスと、前記ビデオ信号と

共に入力された同期信号に基づいて前記表示デバイスを駆動するドライブ回路と、前記ビデオ処理回路及び、ドライブ回路を制御するCPU回路と、周辺機器を外部コンピュータに接続するハブ制御部を有するディスプレイ装置において、前記ハブ制御部を除くディスプレイ装置内部に前記ハブユニットに伝送する識別情報の全てまたは一部を保持する手段を設けたことを特徴とするディスプレイ装置。

【請求項18】 請求項17において、該識別情報には少なくとも製造者及び、製品を識別する文字あるいはコードが含まれていることを特徴とするディスプレイ装置。

【請求項19】 請求項17において、該ハブ制御部に伝送する識別情報の全てまたは一部を前記CPU回路内部に設けたことをたことを特徴とするディスプレイ装置。

【請求項20】 請求項17において、該ハブ制御部に伝送する識別情報の全てまたは一部を記録するメモリ回路を設けたことをたことを特徴とするディスプレイ装置。

【請求項21】 請求項17において、該ハブ制御部内部に前記保持手段から前記識別情報の取得に失敗したときのバックアップ情報を設けたことをたことを特徴とするディスプレイ装置。

【請求項22】 R、G、Bのビデオ信号が入力されるビデオ処理回路と、前記ビデオ処理回路の出力に基づき表示を行なう表示デバイスと、前記ビデオ信号と共に入力された同期信号に基づいて前記表示デバイスを駆動するドライブ回路と、前記ビデオ処理回路及び、ドライブ回路を制御するCPUと、周辺機器を外部コンピュータに接続するハブ制御部を有するディスプレイ装置において、前記ハブ制御部以外のディスプレイ装置内部に前記ハブ制御部に伝送するディスプレイ装置を主体とする識別情報の全てまたは一部を保持する第1の記録手段と、前記ハブ制御部内部に前記ハブ制御部を主体とする識別情報の全てまたは一部を保持する第2の記録手段を設けたことを特徴とするディスプレイ装置。

【請求項23】 請求項21において、第1の記録手段の情報より、第2の記録手段の情報を優先させたことを特徴とするディスプレイ装置。

【請求項 2 4】 R, G, B のビデオ信号が入力されるビデオ処理回路と、前記ビデオ処理回路の出力に基づき表示を行なう表示デバイスと、前記ビデオ信号と共に入力された同期信号に基づいて前記表示デバイスを駆動するドライブ回路と、前記ビデオ処理回路及び、ドライブ回路を制御する C P U と、周辺機器を接続する外部コンピュータと、前記外部コンピュータに接続するハブ制御部を有するディスプレイ装置において、前記外部コンピュータ内部に前記ハブ制御部に伝送する識別情報の全てまたは一部を保持する手段を設けたことを特徴とするディスプレイ装置。

【請求項 2 5】 外部コンピュータと周辺機器との第 1 のシリアル通信との介在を行うハブ回路を有するディスプレイ装置において、

該ハブ回路は該ディスプレイ装置の有する制御用 C P U との第 2 のシリアル通信を行うインタフェースを有し、前記第 1 のシリアル通信を介して伝送される情報を該第 2 のシリアル通信インタフェース仕様へ変換し、当該情報を上記 C P U へ伝送し、また上記 C P U から上記第 2 のシリアル通信インタフェースを介して送られてくる情報を上記第 1 のシリアル通信インタフェース仕様に変換して上記コンピュータへ送出するインタフェース仕様変換手段を有するハブ回路であることを特徴とするディスプレイ装置。

【請求項 2 6】 外部コンピュータと接続され、該コンピュータからの映像信号表示を行うと共に表示制御を行うための第 1 の通信インタフェースを有するディスプレイ装置において、

上記外部コンピュータの有する第 2 の通信インタフェースに接続し、上記第 2 の通信インタフェース仕様に変換するインタフェース仕様変換手段を備え、上記コンピュータから第 2 の通信インタフェースを介して出力される上記ディスプレイ装置の表示制御命令を第 1 の通信インタフェース仕様に変換して表示制御可能としたインタフェース変換手段であって、

更に該インタフェース変換手段は上記第 1 の通信インタフェースを介して周辺機器との通信を可能とするハブ手段を有することを特徴とするディスプレイ装置

。

【 発 明 の 詳 細 な 説 明 】

技 術 分 野

本発明は、コンピュータ端末等に用いられる画像表示装置であってパーソナルコンピュータ（以下、PCと略す。）やワークステーション等のコンピュータとの通信機能を有するディスプレイ装置に関する。

背 景 技 術

PCとの通信に関するディスプレイ装置の従来例として、日本特開平5-232918号公報の第7図に明示される画像表示装置があげられる。この画像表示装置の場合、コンピュータ本体から出力されるコンピュータのインターフェース仕様の制御信号は、画像表示装置のディスプレイ制御回路に入力される。その場合において、ディスプレイ制御回路に入力される制御信号はコンピュータのインターフェースと同じインターフェース仕様で入力されている。ここで、インターフェース仕様とは通信機器の出力するコマンド、データ等の仕様、またはその通信機器の処理可能なコマンド、データ等の仕様をいう。

また、日本特開平7-302068号公報には、コンピュータとディスプレイ装置との通信に関するディスプレイシステムにおけるディスプレイ装置が明示されている。そのディスプレイ装置には、持久記憶装置が装着されている。持久記憶装置にはディスプレイ装置での「視覚出力の高さ、幅および輝度」に関する制御コードを記憶させている。また、持久記憶装置にはディスプレイ装置の仕様をコンピュータが識別できるための識別コードも記憶されており、ディスプレイシステムでの必要に応じて、それらの情報を読み出し、コンピュータとの通信によりコンピュータが認識し、その情報に基づいてディスプレイ装置を制御することを可能としている。その機能により、水平、垂直表示位置、表示サイズといったディスプレイ装置の使用の際の使用者が行う面倒な画質調整を省略しようとするものである。

しかし、上記従来技術では、PCとディスプレイ装置内の制御回路が直接通信するため、PCのもつ特定のシリアルインターフェース規格にしか対応できないという制限が存在していた。そのため、他のシリアルインターフェース規格をもつPCとの通信を行うためには、ディスプレイ装置の有する制御回路として、新

たなシリアルインターフェース規格に適合する制御回路を再開発する必要がある、開発期間及びコストがかかるという問題点が存在していた。

また、上記従来例でのディスプレイ装置の持久記憶装置には、本ディスプレイ装置に適應する映像信号または映像信号タイミングに関する情報が格納されているが、その情報だけではディスプレイ装置の使用の際、特にディスプレイ装置にトラブルが生じた場合などの情報不足が問題となっていた。

更に通信機能を有する一般的なデジタル信号処理装置の異なるシリアルインターフェース仕様の通信に関しても、現状ではその異なるインターフェース仕様間の変換手段が存在していないため、異なるインターフェース仕様をもつデジタル信号処理装置の接続ができなかった。

また、別の従来技術として日本特開平10-116139号公報には、PCの新しいインタフェースであるUSB (Universal Serial Bus) のHub機能を内蔵したディスプレイ装置が明示されている。そのディスプレイ装置のHubは、外部コンピュータに接続される1つのUPポートと、周辺機器が接続される3つのDownポートとHub制御回路とからなる。前記HubのUPポートをPC等の外部コンピュータに接続した時、Hub制御回路内でHub機能の制御を行うためのハブコントローラ部に保持されるメーカー名、製品名、製造番号、Downポートの数等の識別情報をUPポートを通じて外部コンピュータに回答することにより、外部コンピュータでは前記Hubを認識出来る。すると外部コンピュータから前記Hubに対して動作命令が伝達され、HubのDownポートが使用可能となる。この状態で周辺機器を前記HubのDownポートに接続すると、周辺機器と外部コンピュータとの通信が可能となり、周辺機器が動作する様になる。

しかし、上記従来技術では、ハブコントローラ部に記録されるHubのメーカー名、製品名、製造番号によってHubの認識が行われるために汎用性が得られないという課題がある。例えば、他社ブランド名でディスプレイ装置を出荷する様な場合では、ディスプレイ装置のメーカー名と一致する様にハブコントローラ部に記録されるメーカー名等をその度毎に書き直す必要が有るため、汎用性のあるHubが得られず、Hubの製造コストが高くなるという問題が有った。

また、ディスプレイ装置の仕様情報は本来、ディスプレイ装置側で保持するべきものであるため、これをH u b側で保持すると、H u bが保持しているディスプレイ装置の仕様情報と実際のディスプレイ装置の仕様情報とが異なり、矛盾を発生する可能性が有る。

本発明は、上記の各課題に鑑みて為されたものであって、その目的は、様々なコンピュータとの通信のインターフェース仕様に対応可能な汎用性の高いディスプレイ装置を提供することにある。

また、本発明は、ディスプレイ装置内部の様々な情報を得ることが出来るメンテナンス性に優れたディスプレイ装置を提供することを他の目的とするものである。

発明の開示

上記目的を達成するための本発明に係るディスプレイ装置は、C P Uを有しコンピュータとの通信手段を有するディスプレイ装置であって、前記コンピュータからの通信のインターフェース仕様と、前記C P Uが処理可能なインターフェース仕様との相互変換をするインターフェース仕様変換手段を設けたことをその特徴とするものである。また上記インターフェース仕様変換手段はディスプレイ装置に対して着脱可能な構成とすることができ、ディスプレイ装置に接続するコンピュータを取り替えた際、コンピュータのインターフェース仕様も変わったときに、上記インターフェース仕様変換に適合する別のインターフェース仕様変換手段に取り替えることができる。

このような構成によって、様々なコンピュータの通信のインタフェース仕様にディスプレイ装置の交換や改造を行うこと無く、同一ディスプレイ装置で対応可能となる。またコンピュータとディスプレイ装置とのインターフェース仕様の相互変換という機能の面では、そのインターフェース仕様変換手段はディスプレイ装置に設けることに限定されず、コンピュータ側に設けられることによっても同様なインターフェース相互変換の機能を働かせることができる。

よって、このインターフェース仕様変換手段を用いることにより、本発明に係るディスプレイ装置は、様々な仕様のインターフェースのコンピュータと通信可能であり、またコンピュータ側から見ると様々なインターフェース仕様のディス

プレイ装置と通信可能となる。

具体的には、インターフェース仕様変換手段としてシリアルインターフェースアダプタをディスプレイ装置に設け、そのシリアルインターフェースアダプタによりコンピュータからのインターフェース仕様の通信情報をディスプレイ装置の有するCPUに適したインターフェース仕様の通信情報に変換し、逆にディスプレイ装置の有するCPUのインターフェース仕様の通信情報をコンピュータのインターフェース仕様の通信情報に変換することができる。このインターフェース変換手段によって、コンピュータからの通信のインターフェースに合わせるためにディスプレイ装置を取り替えたり、またはディスプレイ装置の有するCPUを新たに開発する必要がなくなる。また着脱可能なインターフェース仕様変換手段をディスプレイ装置に装着する場合は、その装着位置をディスプレイ装置の表示画面周辺等とすることにより、取り替えの際の使用者の操作性の向上を図ることが出来る。例えば、インターフェース仕様変換手段の装着位置を電源スイッチの近傍にすれば、電源のオン、オフと同様に使用者にとっての取り替え容易性は向上する。また、ディスプレイ装置の表示画面周辺等の位置に装着位置を設けることの効果は、インターフェース仕様変換手段を装着する場合だけではなく、変換手段を有さない通信を可能とするためのインターフェース手段であるインターフェースアダプタを設ける場合でも同様な効果を得ることが出来る。ただし、本発明で通信とは、2つの機器の間で少なくともコマンド等の情報を双方向にみて送受信可能なことをいい、その情報としてはコマンド以外にデータ情報等を含む情報であってもよいものとする。

以上の異なるインターフェース仕様の間での相互変換機能はコンピュータとディスプレイ装置との通信におけるものとしているが、コンピュータとディスプレイ装置の通信に限らず一般的なデジタル信号処理装置間でのインターフェース相互変換も同様なインターフェース仕様変換手段によって同様に行うことが可能である。よって、本発明では、異なるインターフェース仕様であるデジタル信号処理装置間の通信における相互インターフェース仕様変換を可能とするインターフェース仕様変換手段、そのインターフェース仕様変換手段を設けたデジタル信号処理装置、そのインターフェース仕様変換手段を装着する部分を有するデジタル

信号処理装置、および2つのデジタル信号処理装置とその通信におけるインターフェース仕様の相互変換を行うインターフェース仕様変換手段とから構成される通信システムを提供するものである。

また、ディスプレイ装置に装着されるインターフェース仕様変換手段にハブを設け、複数のコンピュータと複数の周辺機器をハブに接続可能としている。ここでハブとは、コンピュータ等が接続されるアップストリームポートと、周辺機器が接続されるダウンストリームポートを有し、それらのポートを介したコンピュータと周辺機器との相互通信を自在にするものである。コンピュータや周辺機器がハブを介して接続されることにより、1つのコンピュータと選択された周辺機器との通信が可能である。そして、その通信中であっても、さらにそのコンピュータと別の選択された周辺機器との通信を行うことを可能としている。

また、本発明に係るディスプレイ装置は、ディスプレイ装置が対応可能な映像信号や映像信号タイミングに関する情報を記憶する従来のメモリエリアの他に、正常動作時のディスプレイ装置内部の状態を記憶したメモリエリアを有することができる。さらに、ディスプレイ装置内部状態を検出する手段を有することができる。このメモリエリアに格納されるディスプレイ装置の正常時の内部状態情報と、現在のディスプレイ装置の内部状態を検出する手段による検出結果との比較によって、ディスプレイ装置に関する細かな動作情報を得ることができる。

また、本発明では、通信のために接続されるコンピュータのインターフェース仕様を、ディスプレイ装置の有するCPUが対応しているインターフェース仕様に変換するインターフェース仕様変換手段を設けているので、CRT (Cathode Ray Tube) の場合のみでなく、マトリクス形の表示装置の場合においても対応可能である。

更に、本発明に係るディスプレイ装置は、R、G、Bのビデオ信号が入力されるビデオ処理回路と、前記ビデオ処理回路の出力に基づき表示を行なう表示デバイスと、前記ビデオ信号と共に入力された同期信号に基づいて前記表示デバイスを駆動するドライブ回路と、前記ビデオ処理回路及び、ドライブ回路を制御するCPUと、周辺機器を外部コンピュータに接続するハブユニットを有するディスプレイ装置において、前記ハブユニットを除くディスプレイ装置の内部に前記ハ

ブユニットに伝送する識別情報の全てまたは一部を保持する保持手段を設けたことを他の特徴とするものである。

更にまた、上記他の目的を達成するための本発明に係るディスプレイ装置は、R、G、Bのビデオ信号が入力されるビデオ処理回路と、前記ビデオ処理回路の出力に基づき表示を行なう表示デバイスと、前記ビデオ信号と共に入力された同期信号に基づいて前記表示デバイスを駆動するドライブ回路と、前記ビデオ処理回路及び、ドライブ回路を制御するCPUと、周辺機器を外部コンピュータに接続するハブユニットを有するディスプレイ装置において、前記ハブユニットを除くディスプレイ装置の内部に前記ハブユニットに伝送するディスプレイ装置を主体とする識別情報の全てまたは一部を保持する第1の記録手段と、前記ハブユニット内部に前記ハブユニットを主体とする識別情報の全てまたは一部を保持する第2の記録手段を設けたことを特徴とするものである。

更にまた、前記外部コンピュータ内部に、前記ハブユニットに伝送する識別情報の全てまたは一部を保持する手段を設けてもよい。

発明を実施するための最良の形態

本発明の実施の形態を図面を用いて説明する。

第1図は本発明による一実施形態であるディスプレイ装置の外観を示す図である。同図において、1はキャビネットであり、2はシリアルインターフェースアダプタである。シリアルインターフェースアダプタ2はPC等の外部装置からのインターフェース仕様をディスプレイ装置の対応するインターフェース仕様に変換し、逆にディスプレイ装置の有するCPUのインターフェース仕様をPC等の外部装置の適合するインターフェース仕様に変換する相互変換の働きをする。

本発明での、異なるインターフェース仕様を相互変換する機能を有するディスプレイ装置は、ディスプレイ装置の第1図の2に示す部分にシリアルインターフェースアダプタ2を内蔵させる構成をもってしても、ディスプレイ装置のシリアルインターフェースアダプタ2を取り替え可能な構成をもってしても実現できる。

ディスプレイ装置にシリアルインターフェースアダプタ2を内蔵させる構成では、第1図のようにシリアルインターフェースアダプタ2取り付け位置をキャビネ

ット1の前面又は表示画面周辺等により、外部装置からシリアルインターフェースアダプタ2に接続されるコネクタの取り替え等を容易にする効果がある。

またシリアルインターフェースアダプタ2を別のシリアルインターフェースアダプタ2と取り替え可能な構成としている場合では、第1図のように、シリアルインターフェースアダプタ2の着脱位置をキャビネット1の前面または表示画面周辺等により、シリアルインターフェースアダプタ2の取り替えの際の操作の容易性向上を図っている。シリアルインターフェースアダプタ2はディスプレイ装置の外部に外付けの形態でディスプレイ装置と接続することも可能であるが、外付けの形態の場合と比べると、シリアルインターフェースアダプタ2をキャビネット1の内部に存在させる上記のいずれの構成の場合でも、ディスプレイ装置とシリアルインターフェースアダプタ2間の配線を不要とする等の効果があり、すっきりとしたディスプレイ装置の実現を図ることができる。

また、ディスプレイ装置の前面または表示画面周辺に設けるアダプタとしては、インターフェース仕様変換手段としてのシリアルインターフェースアダプタ2に限られるものではない。例えば、ディスプレイ装置と外部装置の通信のインターフェース仕様が同一の場合には、外部装置のインターフェース仕様の接続端子を受けるアダプタとしてのインターフェース手段を第1図におけるキャビネット1の2の場所、またはディスプレイ装置の電源スイッチの近傍に設けることにより、外部装置からの通信の接続端子の接続や取り外しの際の操作の容易性が図れる。

第2図にシリアルインターフェースアダプタ2とディスプレイ装置及びコンピュータとで構成されるシステムブロック図を示す。第2図においてディスプレイ装置は、シリアルインターフェースアダプタ2、CPU10、ビデオ処理回路11、メモリ13、偏向回路14、CRT15を有し、CPU10はユニバーサル・エイシンクラナス・レシーバー／トランスミッター(Universal Asynchronous Receiver/Transmitter: 以下、UARTと記す。)仕様の情報により制御される。そのCPU100制御可能な仕様のUARTを受け取るのがUART18である。第2図ではシリアルインター

フェースアダプタ 2 をディスプレイ装置に設けるとしているが、上述の通り、ディスプレイ装置に対して着脱可能な構造でもよい。また、コンピュータとして P C 3 を用いるとする。

第 2 図で、シリアルインターフェースアダプタ 2 は、P C 3 から送られてくるコマンドあるいはデータのシリアルインターフェース仕様を、C P U 1 0 が制御可能な U A R T 仕様に変換し、C P U 1 0 に供給する。また、シリアルインターフェースアダプタ 2 は、上記と逆に、C P U 1 0 から送られてくるコマンドあるいはデータの U A R T 仕様を P C 3 に適するシリアルインターフェース仕様に変換し、P C 3 に送信する。

上記のシリアルインターフェースアダプタ 2 のデータ、コマンド及び通信プロトコル変換機能により、異なるインターフェース仕様の P C と接続する際には、各仕様に適合したシリアルインターフェースアダプタ 2 を差し替えるのみでディスプレイ装置の C P U 1 0 はなんら変更することなく、新たなシリアルインターフェース仕様に対応することができる。

本実施形態では、シリアルインターフェースアダプタをキャビネットに差し込むことにより発明を実現しているが、シリアルインターフェースアダプタをディスプレイ装置に対して外付けの構成にしても、上記と同様の効果を得ることができる。また、異なるシリアルインターフェース仕様の相互変換を行うインターフェース仕様変換手段としてのシリアルインターフェースアダプタ 2 は、ディスプレイ装置内部に設けるものとして又はディスプレイ装置に装着可能なものとして説明してきたが、インターフェース仕様変換手段としてのシリアルインターフェースアダプタ 2 はコンピュータ側にその機能を持たせた場合でも、ディスプレイ装置側に設けた場合と同等な効果を得ることができる。

第 3 図は P C 3 とディスプレイ装置の C P U 1 0 との、R S 2 3 2 C インターフェースを介しての通信を行う場合の図であり、本発明の一実施形態である。シリアルインターフェースアダプタ 2 内の R S 2 3 2 C ドライバ／レシーバ 4 は P C 3 から R S 2 3 2 C 仕様で送られてきたコマンドあるいはデータを C P U 1 0 の U A R T 仕様に変換し、C P U 1 0 に供給する。また、上記と逆に C P U 1 0 から U A R T 仕様で送られてきた情報を R S 2 3 2 C 仕様に変換し、P C 3 に

送信する。この場合のインターフェース仕様相互変換を行うために、RS232Cドライバ／レシーバ4に例えば振幅変換器を設ける。この振幅変換器は、PC3からディスプレイ装置へ出力されるRS232C仕様の信号に対して電圧振幅変換を行い、ディスプレイ装置の有するCPU10のUART仕様の信号に変換させる。また、逆にディスプレイ装置からPC3へ出力されるUART仕様の信号に対して、この振幅変換器により電圧振幅変換を行い、RS232C仕様の信号に変換してPC3へ送信する。

以上説明したようにシリアルインターフェースアダプタ2にRS232Cドライバ／レシーバ4を実装し、そのシリアルインターフェースアダプタ2をキャビネット1に差し込むことにより、PC3と本発明のディスプレイ装置とはRS232C通信が可能となる。

次に、本発明の他の実施形態を、第4図を用いて説明する。上述の実施の形態はRS232Cインターフェース仕様をUART仕様に変換する際の例であるのに対し、本実施の形態は通信プロトコル及び、コマンド、データ構成が異なる他のシリアルインターフェース仕様をUARTに変換する際の例である。本実施の形態でのディスプレイ装置はシリアルインターフェースアダプタ2の構成以外は全て上述の実施の形態と同一であるため、シリアルインターフェースアダプタ2の構成のみを第4図に示し、説明する。上述のRS232Cインターフェースの場合の実施の形態では、シリアルインターフェースアダプタ2は信号の電圧及び極性変換のみで対応できるが、本実施の形態ではPC3の通信プロトコル、コマンド及びデータ構成をUART仕様に変換し、逆にUART仕様の通信プロトコル、コマンド及びデータ構成をPC3のシリアルインターフェース仕様に変換する必要があるため、シリアルインターフェースアダプタ2にはその変換のためのCPU5を搭載している。CPU5の制御を行うソフトウェア構成図を第5図に示す。

第5図において、51はコマンド受信プログラム、52はコマンド変換プログラム、53はUART送信プログラム、54はコマンド送信プログラム、55はコマンド逆変換プログラム、56はUART受信プログラムである。ここでは、PC3からCPU10にコマンドを転送し及び転送に伴う変換をする場合を例に

取り、CPU 5 の各構成部の動作を説明する。なお、PC 3 から CPU 10 にデータを送る場合の CPU 5 の各構成部の動作、または PC 3 と CPU 10 との通信における通信プロトコルの変換を行う場合の CPU 5 の各構成部の動作も、同図と同様なソフトウェア構成による CPU 5 の制御により、その処理を行うことができる。

PC 3 は内部でコマンドを生成し、シリアルインターフェース仕様の通信プロトコルに則ってディスプレイ装置のフロントパネルに装着されているシリアルインターフェースアダプタ 2 にそのコマンドを伝送する。シリアルインターフェースアダプタ 2 はコマンド受信プログラム 5 1 による制御でコマンドの受信を行い CPU 5 による処理を始める。コマンドの受信後、コマンド変換プログラム 5 2 による制御で、受信したコマンドの内容を解釈し CPU 10 が対応している UART 仕様のコマンド構成に変換する。UART 送信プログラム 5 3 による制御により CPU 10 内部の UART を介して CPU 10 との通信を行い、コマンド変換を施したコマンドを CPU 10 に伝送する。

ここで、例えば PCB から出力される信号として、1 byte 目に信号の送信先デバイス機器を示すデバイスアドレス情報（この場合はディスプレイ装置）、2 byte 目に PC 3 を示すアドレス情報、3 byte 目にコマンドの長さを示す情報、4 byte 目以下にコマンド情報を有するインターフェース仕様の N byte（N は自然数）の長さの信号を考える。この PC 3 からディスプレイ装置へ向けて出力された信号は、コマンド変換プログラム 5 2 による CPU 5 の制御により、4 byte 目以下のコマンド情報を CPU 10 の UART 仕様である M byte（M は自然数）の長さをもつコマンドに変換する。そして、UART 送信プログラム 5 3 による CPU 5 の制御により、もとの信号の 1 byte 目に示すデバイス機器（この場合はディスプレイ装置）へ送信する。

次に、上記と逆に、CPU 10 から PC 3 にコマンドを転送する場合および転送に伴う仕様変換を行う場合における、CPU 5 の動作を説明する。この場合においても、上記の様に CPU 10 から PC 3 にデータを送る場合の CPU 5 の各構成部の動作、または CPU 10 と PC 3 との通信における通信プロトコルの変換を行う場合の CPU 5 の各構成部の動作も、同図と同様なソフトウェア構成に

よるCPU5の制御によって、その処理を行うことができる。

まず、CPU10は内部で生成したコマンドをUARTを用いてシリアルインターフェースアダプタ2のCPU5に伝送する。CPU5はUART受信プログラム56のによるCPU5の制御によりCPU10から伝送されたコマンドを受信し、コマンド逆変換プログラム55によるCPU5の制御によりPC3が対応しているコマンド構成に変換する。その後、コマンド送信プログラム54によるCPU5の制御でPC3が対応しているシリアルインターフェース仕様の通信プロトコルに則ってコマンドをPC3に伝送する。

ここで、例えばディスプレイ装置の有するCPU10から出力される信号として、1byte目に信号の送信先デバイス機器を示すデバイスアドレス情報（この場合はPC3）、2byte目にディスプレイ装置を示すアドレス情報、3byte目にコマンドの長さを示す情報、4byte目以下にコマンド情報を有するインターフェース仕様のM'byte（M'は自然数）の長さの信号を考える。このCPU10からPC3へ向けて出力された信号は、コマンド逆変換プログラム55によるCPU5の制御により、4byte目以下のコマンド情報をCPU10のUART仕様であるN'byte（N'は自然数）の長さをもつコマンドに変換する。そして、コマンド送信プログラム54によるCPU5の制御により、もとの信号の1byte目に示すデバイス機器（この場合はPC3）へ送信する。

以上の動作により、本実施の形態によるディスプレイ装置はPC3のインターフェース仕様を変更されても、またはPC3の取り替えに伴ってPC3のインターフェース仕様を変更されても、PC3の新たなインターフェース仕様をディスプレイ装置のインターフェース仕様に変換可能な他のシリアルインターフェースアダプタ2に差し替えるだけで、PC3の新たなインターフェース仕様に対応することができる。さらに、シリアルインターフェースアダプタ2の装着位置をディスプレイ装置のフロントパネル部分等の取り替えのしやすい部分とすることにより、ユーザーがディスプレイ装置の前から移動することなく交換でき、使い勝手が良いというメリットも有る。

また、上記の実施の形態では、シリアルインターフェース仕様の相互変換を行

う対象となる装置は、ディスプレイ装置とコンピュータとして説明してきたが、本発明はこれに限定されることなく、異なるインターフェース仕様をもつデジタル信号処理装置一般の間の通信においても使用することができる。この場合の実施の形態を第 12 図を用いて説明する。

第 12 図において、131 は第 1 のデジタル信号処理装置、132 は第 2 のデジタル信号処理装置、130 は第 1 のデジタル信号処理装置の有する CPU、133 は第 2 のデジタル信号処理装置の有する CPU であって、2 は上記の実施の形態に用いられるのと同様なシリアルインターフェースアダプタである。CPU 130 と CPU 133 は互いに異なるインターフェース仕様をもつものとし、シリアルインターフェースアダプタ 2 は第 1、第 2 のデジタル信号処理装置の通信において互いに異なるインターフェース仕様の情報の相互仕様変換を行うことができる。

すなわち、第 1 のデジタル信号処理装置 131 の有する CPU 130 のインターフェース仕様の情報はシリアルインターフェースアダプタ 2 で第 2 のデジタル信号処理装置 132 の有する CPU 133 が制御可能なインターフェース仕様に変換され、通信がされる。また逆に、第 2 のデジタル信号処理装置 132 の有する CPU 133 のインターフェース仕様の情報はシリアルインターフェースアダプタ 2 で第 1 のデジタル信号処理装置 131 の有する CPU 130 が制御可能なインターフェース仕様に変換され、通信が可能とされる。ここで、シリアルインターフェースアダプタにおけるインターフェース仕様の相互変換は、第 3 図、第 4 図で詳細に説明した実施の形態と同様な動作により行うことが可能である。

また、第 12 図ではシリアルインターフェースアダプタ 2 は、第 1 及び第 2 のデジタル信号処理装置の外部に存在する形として示してあるが、第 1 または第 2 のデジタル信号処理装置に内蔵される形をもってしても、第 1 または第 2 のデジタル信号処理装置に着脱可能な形をもってしても同様にしてインターフェース仕様の相互変換機能は実現され、本発明の通信におけるインターフェース仕様の相互仕様変換の効果は同様にして得られる。

本発明の更なる一実施形態として、ディスプレイ装置のシリアルインターフェースアダプタ 2 と CPU 10、及び PC 3 とから成るシステムの構成例を第 6 図

に示す。ここで特徴となる点は、シリアルインターフェースアダプタ 2 がハブを有する点である。同図において、6 はハブであり、6 1 はホストである P C 3 との接続ポート（以下、アップストリームポートと略す。）である。6 2、6 3、6 4、6 5 は周辺機器の接続ポート（以下、ダウンストリームポートと略す。）であり、第 6 図では 4 個のダウンストリームポートを持つ構成とする。ハブ 6 の有するダウンストリームポートの数は第 6 図に示す個数以上であっても以下であってもよい。ダウンストリームポートに接続される周辺機器としては、キーボード、マウス、ジョイスティック、デジタルカメラ、プリンタ、スピーカ等の周辺機器があげられる。本実施の形態ではシリアルインターフェースアダプタ 2 にハブ 6 を具備し、シリアルインターフェースアダプタ 2 の有する C P U 5 がハブ 6 を制御することにより P C 3 と周辺機器との通信を可能としている。ただし、本発明におけるハブとは、コンピュータ等が接続される 1 以上のアップストリームポートと、周辺機器が接続される複数のダウンストリームポートを有し、それらのポートを介したコンピュータと周辺機器との通信の選択の幅を広げることによりシステム全体の通信環境を広める機能を有するものであるとする。

ハブ 6 は P C 3 との通信による C P U 5 によって制御され、その制御に応じてダウンストリームポートに接続されている周辺機器を選択し、P C 3 からのコマンド等の情報を伝送することができる。また、上記と逆に、選択している周辺機器からのデータ等の情報もハブ 6 を介して P C 3 に伝送することができる。ここで、第 6 図のハブ 6 の有するダウンストリームポートを切り換える選択スイッチ部分の表す状態は、選択された周辺機器と P C 3 との通信を行うという状態を示すものであり、選択されていない周辺機器とは物理的に接続されていないという状態を示すものではない。以上のハブ 6 を介した通信により P C 3 の得たコマンド、データ等の情報は、P C 3 からシリアルインターフェースアダプタ 2 の C P U 5 にハブ 6 を介して伝送され、C P U 5 の制御によりさらにディスプレイ装置の有する C P U 1 0 に送信される。その情報による C P U 1 0 の制御によってディスプレイ装置では映像表示等の制御を行うことが可能となる。ハブ 6 から伝送されたデータ、コマンド等を、C P U 5 の制御（第 5 図に示したプログラム構成による C P U 5 の制御と同等な制御）により、C P U 1 0 が対応できるデータ、

コマンド等の構成に変換し、U A R T 1 8 を介して C P U 1 0 に伝送する。

また、C P U 1 0 から出力される U A R T 仕様のコマンドは、U A R T 1 8 を介して C P U 5 に送信され、C P U 5 の制御（第 5 図に示したプログラム構成による C P U 5 の制御と同等な制御）により U A R T 仕様のコマンドを P C 3 が対応できるシリアルインターフェース仕様に変換し、ハブ 6 を介して P C 3 に伝送される。

上記の様なハブ 6 をシリアルインターフェースアダプタ 2 に設けることにより、本発明のディスプレイ装置のシリアルインターフェースアダプタ 2 はハブ機能を有することが可能となる。ただし、本実施の形態ではハブ 6 はシリアルインターフェースアダプタ 2 に具備されているが、ハブをディスプレイ装置自身に具備させる構成をとっても、ハブと C P U 5 との通信が行える構成であればよい。このハブがシリアルインターフェースアダプタ 2 に含まれない構成でディスプレイ装置自身に具備される場合においては、シリアルインターフェースアダプタ 2 の取り替え時にハブに接続される周辺機器の取り替えをする手間が省けるという効果がある。

本発明の更なる一実施形態を第 7 図に示す。第 7 図において、3 1 は 2 台目の P C であり、6 6 は P C 3 1 のアップストリームポートである。また、同図において第 6 図と同じ番号のものは同じものであり同様の機能を有するものであるとする。

第 7 図に示すように本発明によるディスプレイ装置のシリアルインターフェースアダプタ 2 は複数台の P C との接続が可能である。その構造と C P U 5 によるハブ 6 の制御により、例えば、P C 3 がダウンストリームポート 6 2 ～ 6 5 のいずれかに接続される周辺機器と通信を行っている最中にも P C 3 1 は P C 3 と通信を行っている周辺機器以外のダウンストリームポートに接続される他の周辺機器と通信することができる。さらに、ハブのアップストリームポート及びダウンストリームポートの数を増やすことにより、P C と周辺機器とのハブを介した通信を複数通り同時に並行して行うことができ、複数台の P C と複数台の周辺機器との通信を自在に切り換えて制御することが可能となる。この場合、ディスプレイ装置に表示される映像は、P C 3 または P C 3 1 からの映像信号に基づく映像と

なるが、この表示される映像の切り換えは、例えば P C 3、P C 3 1、またはハブ 6 に接続されるマウス、キーボード等からの切り換え制御信号をハブ 6 を介した通信により C P U 1 0 に送信され、C P U 1 0 の制御により切り換えが可能とされる。

本発明の更なる一実施形態であるディスプレイ装置の構成と、コンピュータとのシリアルインターフェースアダプタ 2 を介した通信の接続を示すブロック図を第 8 図に示す。本実施の形態において、ディスプレイ装置は第 2 図にあげられる実施の形態でのディスプレイ装置にさらに第 2 のメモリ 1 6 を具備したものである。

第 2 のメモリ 1 6 にはディスプレイ装置の主要な部分の正常動作時の調整電圧範囲を記憶させておき、本実施の形態ではビデオ処理回路 1 1、偏向回路 1 4 および C R T 1 5 のアノード、グリッドの電源電圧値、電流値を記憶しておく。そして、必要に応じて C P U 1 0 によってメモリ 1 6 に格納される情報を読み取り、シリアルインターフェースアダプタ 2 を用いた仕様変換後にその情報を P C 3 に伝送することができる。その情報を表示する映像信号を P C 3 の制御によってディスプレイ装置に送信することによって、ディスプレイ装置の C R T 1 5 にディスプレイ装置の正常動作時の情報の内容を表示することができ、ディスプレイ装置の故障時等の修理における情報として役立てることができる。なお、本実施の形態ではメモリ 1 6 はメモリ 1 3 と別に設けられているが、メモリ 1 3 とメモリ 1 6 とを一つのメモリで構成してもよい。また C P U 1 0 内の内部メモリに、メモリ 1 3 およびメモリ 1 6 の内容を記憶させてもよく、メモリ 1 3 またはメモリ 1 6 の内容のいずれか一方を C P U 1 0 内の内部メモリに記憶しておいてもよい。

本発明の更なる実施の形態として、ディスプレイ装置の構成、およびこのディスプレイ装置とコンピュータとのシリアルインターフェースアダプタ 2 を介した接続を示すブロック図を第 9 図に示す。第 9 図において第 8 図と同一符号の構成要素は同等の機能を有するものとする。第 9 図において、9 1 はビデオ処理回路 1 1 の電圧源、9 2 は C R T 1 5 のアノード電圧源、9 3 は C R T 1 5 の第 2 グリッドの電圧源、9 4 は偏向回路 1 4 の電圧源であり、7 1 はビデオ処理回路 1

1 の電源電流の検出手段、72 は CRT 15 のアノード電源電流の検出手段、73 は CRT 15 のアノード電流の検出手段、74 は偏向回路 14 の電源電流の検出手段である。電流の検出は例えば電流の流れる区間に抵抗を用いて、その抵抗の両端の電圧降下を測定することにより検出可能である。8 は上記各部の電圧及び電流の検出手段への接続を切り換えるスイッチであり、17 はスイッチ 8 で選択した検出手段の検出値をディジタル信号に変換する A / D 変換器である。以下、第 9 図における動作を説明する。

PC 3、または CPU 10 からの要求により、A / D 変換器 17 はスイッチ 8 で選択した検出手段の検出値をディジタル信号に変換し、CPU 10 に供給する。なお、第 9 図には図示していないが、本実施の形態のディスプレイ装置は検出値を A / D 変換器 17 の入力のダイナミックレンジに合致させるためのレベルコンバータを有している。CPU 10 はディジタル信号に変換した各部の検出値及び、第 2 のメモリ 16 にプリセットされている正常動作時の各部の値もしくは正常動作時の許容範囲の情報を、シリアルインターフェースアダプタ 2 を用いて PC 3 に伝送する。PC 3 は検出値がプリセットの値に合致しているか否か、または許容範囲に納まっているか否かを判断し、その結果を CRT 15 に表示することができる。

第 10 図はメモリ 16 にプリセットしてある値または許容範囲とディスプレイ装置の各部の実際の検出値との比較結果の表示例である。検出値がプリセットに合致している場合、または許容範囲内にある場合は、例えば No Error と表示する。また、検出値が許容範囲を若干下回っている時は例えば Warning と表示して異常が存在することを示し、その部分の異常内容をディスプレイ装置に表示する。さらに、検出値が過電流等の重大な異常であるときは例えば Error と表示し、その異常内容をディスプレイ装置に表示する。

以上説明したように、各部の電圧、電流を検出する手段を具備するとともに正常動作時の値または許容範囲をメモリ 16 にプリセットしておき、各部の電圧、電流を検出する手段により得られる情報と、メモリ 16 にプリセットされている情報とを、シリアルインターフェースアダプタ 2 を用いて PC 3 に伝送することにより、ディスプレイ装置内各部の異常を容易に知ることができる。また、上記

のディスプレイ装置内各部の情報の表示に関して、本実施の形態に示すような P C 3 からの制御でなくても、ディスプレイ装置がオン・スクリーン・ディスプレイ (O N S C R E E N D I S P L A Y : 以下 O S D と記す。) 機能を有している場合は、その O S D 機能を用いて C R T 1 5 にディスプレイ装置内各部の情報を表示してもよい。

また、本発明のディスプレイ装置のシリアルインターフェースアダプタ 2 は双方向通信が可能であるため、 W a r n i n g 程度の軽微な異常であれば、 P C 3 から調整コマンド及び設定値を入力することで異常部分の再調整を行い、解決することができる。

さらに、ブライト、コントラスト、画面歪み等、 C P U 1 0 で制御できる項目については P C 3 が介在することなく、ディスプレイ装置の C P U 1 0 単独の制御により対応できるため、工場出荷時の初期調整の簡略化および経時変化の抑圧に効果がある。

本発明の更なる実施の形態として、第 1 1 図にディスプレイ装置の構成、およびディスプレイ装置とコンピュータとのシリアルインターフェースアダプタ 2 を介した通信接続を示すブロック図を示す。同図において、 1 2 は液晶モジュール、 1 2 1 は水平走査回路、 1 2 2 は垂直走査回路、 1 2 3 は液晶パネルである。第 2 図と同一部分には同一符号を付し、重複する説明は省略する。

本実施の形態では表示デバイスとして液晶モジュール 1 2 を用いる点が第 2 図に示される実施の形態と異なる。本発明によるディスプレイ装置のシリアルインターフェースアダプタ 2 は液晶ディスプレイにも用いることが可能である。以下、第 1 1 図における動作を説明する。

メモリ 1 3 から読み出されたディスプレイ装置の固有の解像度等の情報をシリアルインターフェースアダプタ 2 を介した通信により P C 3 へ送信し、 P C 3 はディスプレイ装置に適應する映像信号仕様や映像信号タイミングを識別する。そして P C 3 は、そのディスプレイ装置の情報に応じた映像信号をディスプレイ装置側に出し、ビデオ処理回路 1 1 により映像信号の処理がなされる。ビデオ処理回路 1 1 の出力映像信号を液晶モジュール内の水平走査回路に入力し、入力された水平、垂直の同期信号を、それぞれ水平走査回路 1 2 1 と垂直走査回路 1 2

2に入力することにより、液晶パネル123上にPC3から送信された映像信号に基づく映像の表示を可能としている。解像度が固定であるマトリクス形ディスプレイ装置にとっては、PC3にディスプレイ装置自身の解像度を報告することにより、合致した解像度の映像信号をPC3に要求することができる。そのためCRT方式のディスプレイ装置の場合と比べて、メモリ13に格納される情報も少なくすみ、またディスプレイ装置の使用中等における画面調整も簡素化されるという利点がある。

なお、本発明の実施の形態によるシリアルインターフェースアダプタ2の装着されるマトリクス形ディスプレイ装置は液晶ディスプレイに限られるものではなく、上記全ての実施の形態において、プラズマ、LED、EL、DMDといったあらゆるタイプのマトリクス形ディスプレイに適用可能である。

また、本発明の実施の形態におけるCPU10はシリアルインターフェースとして、UARTを内蔵している例を用いて説明してきたが、UART以外のシリアルインターフェース仕様であっても本発明を逸脱するものではない。さらに、シリアルインターフェースアダプタ2をフロントパネルに装着する例を用いて説明してきたが、シリアルインターフェースアダプタ2の装着位置はフロントパネルに限定されるものではなく、表示画面周辺等でも同様の効果があり、使用者がシリアルインターフェースアダプタを取り替える際の操作性向上が図れる範囲での装着位置であれば、その装着位置による本発明への影響はない。

本発明の更なる実施の形態のディスプレイ装置の構成例を第13図に示す。また、シリアルインターフェースアダプタ2及びその通信関係の詳細を第14図に示す。

これまで説明してきた実施の形態はシリアルインターフェースアダプタ2とCPU10のシリアルインターフェースとして、UARTを例に挙げて説明してきた。以降は、PC3とシリアルインターフェースアダプタ2のハブ6とのシリアルインターフェースSI1を第1のシリアルインターフェース、また、シリアルインターフェースアダプタ2とCPU10のシリアルインターフェースSI2を第2のシリアルインターフェースと呼ぶ。ここで、第1と第2のシリアルインターフェースの通信プロトコルは異なるものとする。

本実施の形態は、更に P C 3 とシリアルインターフェースアダプタ 2 の C P U 5 との通信を行うための第 3 のシリアルインターフェースにも対応可能としている点がこれまでの実施の形態と異なる。すなわち本実施の形態では、複数種のインターフェース仕様に対応したシリアルインターフェースアダプタ 2、その機能を有するディスプレイ装置及びデジタル信号処理装置を提供している。

ここでは、第 3 のシリアルインターフェースと第 2 のシリアルインターフェースとは通信プロトコルが異なる場合を考える。また以下の実施の形態において、第 1 と第 2 のインターフェースの通信プロトコルも異なるものとして説明するが、これは同一である場合を妨げるものではない。以下、第 3 のシリアルインターフェースを S I 3 と略し、動作例について説明する。

第 1 4 図において、C P U 5 内部には S I 3 に対応するためのディスプレイ装置のメーカー名、型式、シリアル番号、対応している信号仕様等のディスプレイの基本情報を有しており、前記ディスプレイ装置の基本情報を S I 3 を介して P C 3 に通知することにより、P C 3 は本発明によるディスプレイ装置に最適な映像信号を供給することができる。従って、ユーザが画像表示位置、画面歪等の煩わしい初期調整作業を行わなくとも、常に最適条件での画像表示が可能となる。また、C P U 5 はコマンド、プロトコル変換機能を有し、P C 3 とディスプレイ制御用の C P U 1 0 が、C P U 5 を介してコマンド、あるいはデータを双方向にやり取りすることができるため、P C 3 はディスプレイの明るさ、色温度、画面歪み、表示サイズ、位置等の制御が可能で、また前記ディスプレイ装置の調整値、識別情報、性能情報等の取得も可能であり、そのディスプレイ情報に基づく制御も可能である。尚、P C 3 が上記ディスプレイ情報の取得する方法は一括で取得しても良いし、必要な情報のみを選択して個別に取得しても良い。

本発明の更なる実施の形態を第 1 5 図に示す。第 1 5 図では、シリアルインターフェースアダプタ 2 の構成が本発明の上記の実施の形態と異なる。

本実施の形態は上記の実施の形態で説明したディスプレイ装置の基本情報を記録するために、内部データの書き換えが可能なメモリ回路 E E F R O M 2 1 を設けた点が上記の実施の形態と異なる。E E P R O M 2 1 は通常のメモリ機能のみの汎用デバイスを用いても良いが、S I 3 に対応するための機能を内蔵した専用

のデバイスを用いても良い。第15図では後者の専用デバイスを用いた構成を示し、以下に第15図の動作について説明する。

第15図において、S I 3は、複数の異なる通信レベルに対応しているものとして、通信レベル1、通信レベル2がある場合を考える。ここで通信レベルとは、S I 3を介してP C 3とE E P R O M 2 1との通信制御を行う際の電圧レベルのことである。P C 3がS I 3の通信レベル1に対応している時、E E P R O M 2 1はP C 3から受信した垂直同期信号に同期させて1ビットずつP C 3にデータの送信をする。また、P C 3がS I 3の通信レベル2に対応している時、P C 3は垂直同期信号とは周波数の異なるクロック信号を出力する。そしてE E P R O M 2 1はP C 3から供給されたクロック信号に同期してE E P R O M 2 1に記録されているディスプレイ装置の基本情報を読み出し、データをP C 3に送信する。ここでは、S I 3の通信レベルとして2つのものを説明したが、本発明において、通信レベルの種類は2つに限られるものではない。その他の通信レベルにおいても、P C 3がE E P R O M 2 1の読み出し制御および通信制御がなされる通信レベルであれば本発明を逸脱するものではない。

この様に、シリアルインターフェースアダプタ2内にE E P R O M 2 1を設け、少なくとも1つの通信レベルに対応してP C 3がE E P R O M 2 1の読み出し制御、通信制御可能とすることにより、P C 3はシリアルインターフェースアダプタ2を有するディスプレイ装置の識別を行うことができる。また、新規の(E E P R O M 2 1に基本情報がメモリされていない)ディスプレイ装置をP C 3に接続する場合でも、E E P R O M 2 1として新規のディスプレイ装置の基本情報を追加記録されたものを用いることによりP C 3は新規のディスプレイ装置の認識が可能となる。すなわち、シリアルインターフェースアダプタ2のE E P R O M 2 1を新規の基本情報を有するものに取り替えるだけでよく、C P U 5及びハブ6は共通に使用できる。さらに、E E P R O M 2 1として電氣的に消去可能なメモリを使用する場合では、新規のディスプレイ装置の基本情報をメモリに追加書き込み又は書き換えをするだけでよい。この場合は、シリアルインターフェース2は、ディスプレイ装置の種類に関係なく共通して使用することが可能であり、新規のディスプレイ装置の基本情報の書き込み制御、又は書き換え制御はディ

スプレイ装置の外部から容易に可能である。

尚、本実施の形態では電氣的に消去可能なEEPROM21を使用する場合の例について述べたが、メモリとしてはEEPROM21に限られるものではなく、書き換え不能のROMを物理的に交換しても良い。また、CPU5の内部に電氣的に消去可能なEEPROM21エリアが設けられている場合には、CPU5内部のEEPROM21のエリアを使用しても良い。

本発明の更なる実施の形態を第16図に示す。第16図の実施の形態では、シリアルインターフェースアダプタ2の構成が本発明の上記の実施の形態と異なる。

本実施の形態はシリアルインターフェースアダプタ2内のEEPROM21として、SI3の専用のデバイスを使用し、前記EEPROM21の通信動作状態をリセットして初期状態に戻すことのできるリセット回路22を設けた点が上記の実施の形態と異なる。

第16図に示される構成における動作を以下に説明する。

PC3とCPU5との通信制御が、SI3を介した通信レベル1での通信をしている場合において、通信レベルが通信レベル2に切り換わった時に、PC3はEEPROM21の認識が出来なくなってしまう。そのような弊害をなくすために、CPU5の制御によりEEPROM21をリセットし、SI3の通信レベル2でPC3がEEPROM21を認識することを可能とする。通信レベルが通信レベル2から通信レベル1に切り換わった時も同様である。

第17図に本実施の形態におけるEEPROM21をリセットするリセット回路22の一例を示す。

第17図において、221、222、223は抵抗、224はNPNトランジスタ、225はリセット回路22の電源である。

リセット回路22はエミッタ接地のスイッチング回路であり、CPU5からの入力信号がLowレベルの場合はNPNトランジスタ224はカットオフ状態となり、NPNトランジスタ224のコレクタ端子はHighレベルになるため、EEPROM21がパワーオン状態となる。一方、CPU5からの入力信号がHighレベルの場合はNPNトランジスタ224は能動状態となり、NPNトラ

ンジスタ 224 のコレクタ端子が Low レベルとなって、EEPROM 21 がパワーオフ状態となる。

PC3 からの映像信号や同期信号の切断を CPU10 が検出した時、CPU5 を介して EEPROM 21 をパワーオン初期状態に戻すことが可能となる。従って、SI3 を介して PC3 と EEPROM 21 との通信を再度行うことが可能となる。

尚、本実施の形態では EEPROM 21 をパワーオフすることにより初期状態に戻す例について述べたが、EEPROM 21 が専用のリセット端子を有する場合には CPU5 の出力を直接リセット端子に入力しても良い。

本発明の更なる実施の形態として、ディスプレイ装置のはシリアルインターフェースアダプタ 2 の構成を第 18 図に示す。

本実施の形態はシリアルインターフェースアダプタ 2 内の EEPROM 21 に第 1 のシリアルインターフェース仕様のデータ及び第 3 のシリアルインターフェース仕様のデータを記録・読み出し可能とし、EEPROM 21 を共通化した点が前記の実施の形態と異なる新規な点である。

第 1 のシリアルインターフェースと第 3 のシリアルインターフェースの共通データの格納エリアを共通化することにより、メモリ容量を低減することができる。

本発明の更なる実施の形態を第 19 図に示す。本実施の形態では、ディスプレイ装置のシリアルインターフェースアダプタ 2 の構成において、EEPROM 21 の接続位置が第 18 図に示した実施の形態と異なる。

本実施の形態では、シリアルインターフェースアダプタ 2 内の CPU5 との通信回線をハブ 6 及び CPU10 さらに EEPROM 21 に対し、それぞれ独立して専用に設けている。

各デバイス毎に専用通信回線を設けることにより、デバイスの破壊等の重大な障害によりある通信回線が不通となった場合にも残りの他の通信回線を使用して障害が発生したことをディスプレイ装置のユーザに知らせることができる。

一例として、CPU5 とハブ 6 との通信回線が不通となった場合には CPU5 が障害を検出し、CPU5 とディスプレイ内部の CPU10 との通信回線を使用

してCPU10に障害検出内容を送信し、ディスプレイ装置に障害の内容及び障害の解消方法等をOSD表示しても良い。またCPU5とPC3とのSI3を使用してPC3に障害検出内容を送信し、ディスプレイ装置に障害の内容及び障害の解消方法等をPC3のソフトウェア制御によりディスプレイ装置に表示しても良い。

本発明の更なる実施の形態を第20図に示す。本実施の形態では、ディスプレイ装置のシリアルインターフェースアダプタ2とCPU10との通信関係の構成が本発明の前記実施の形態と異なる。以下、第20図の動作について説明する。

本実施の形態では、ディスプレイ内部のCPU5が通信可能状態であることをシリアルインターフェースアダプタ2内のCPU10にI/Oポートを介して通知するフラグ機能を設けている。このフラグ機能を設けることにより、CPU5またはCPU10のどちらが先に動作を開始しても問題無く通信が可能となる。以下、CPU5が先に動作を開始した場合とCPU10が先に動作を開始した場合について述べる。

CPU5が先に動作を開始した場合、CPU5はCPU10からCPU10が通信可能状態であることを示すフラグを受信するまで、CPU10と通信しないように設定する。例えば、CPU5がPC3からCPU10に送信すべきコマンドを受信した場合はCPU10から通信可能フラグを受信するまで、PC3から受信したコマンドをホールドするか、場合によっては無視する。そして、CPU10から通信可能フラグ受信を確認後、CPU10との通信が開始され、PC3の出力したコマンドがホールドされている場合は、そのコマンドをCPU10に送信する。

一方、CPU10が先に動作を開始した場合には、CPU10のI/Oポート機能の設定、RAMの初期化が終了し、正常動作を開始したときに、CPU10は通信可能であることを伝えるフラグをCPU5に送信し、CPU5との通信が始まるまでフラグをホールドしたままディスプレイの制御に移行するようにCPU5及びCPU10の動作をプログラムにより制御する。

上記のようにCPU5及びCPU10をプログラムすることにより、例えば、電源ノイズの混入等により、どちらかのCPUが一時的に電源OFF状態を経て

新たに電源がONされた場合に、そのCPUは初期状態に戻る。そしてそのCPUが新たに動作を開始したとしても上記手順の通りリカバーするため、通信不能になることはない。

さらに、CPU5またはCPU10が暴走状態になったとしても、ウォッチ・ドック・タイマー等の強制初期化手段を用いて強制的に初期化することにより、上記手順によってリカバーし正常な通信状態にすることができる。

ここで、データの送信及び受信の主導権を有するデバイスをマスターデバイスと呼び、前記マスターデバイスの指示により、データの受信及び送信を行うデバイスをスレーブデバイスと呼ぶ。第19図までに説明してきた実施の形態では、CPU5からCPU10にデータを送信する時にはCPU5がマスターデバイス、CPU10がスレーブデバイスの関係となり、CPU10からCPU5にデータを送信する時にはCPU10がマスターデバイス、CPU5がスレーブデバイスの関係となって通信する、いわゆるマルチ・マスターの関係を有していた。

しかし、第19図の実施の形態までのCPU5とCPU10との関係は、この関係に限られるものではなく、第20図に示される本実施の形態のように、CPU10からCPU5にコマンド・データ等を送信するにあたって、CPU10からCPU5にフラグ機能を用いてCPU10の動作開始の合図をすることにより初めてCPU10からCPU5にコマンド・データ等を送信することのできる、CPU5がマスターデバイス、CPU10がスレーブデバイスといった固定された関係を有していても良い。この固定された関係の下での制御は、マルチ・マスターよりも安定した制御を行うことができ、誤動作防止の効果がある。また、マルチ・マスターの関係を有するよりも機能上、製品開発が容易である。

また、第1のシリアルインターフェースと第3のシリアルインターフェースが競合した場合は、PC3との通信において第3のシリアルインターフェースを優先する等の優先順位を設けて、安定した通信状態を保つこともできる。

本発明の更なる実施の形態を第21図に示す。本実施の形態のディスプレイ装置のシリアルインターフェースアダプタ2はCPU5とハブ6の共通リセット回路23を設けた点が前記の実施の形態と異なる。

上記共通リセット方式により、共通リセット回路23がCPU5またはハブ6

の電源電圧の低下及び、電源の瞬時の遮断を検出した場合には、CPU 5 及びハブ 6 を初期状態から再始動させることができ、通信中断による誤動作を防止することができる。さらに、ハブ 6 の初期化处理において、アップストリームポートの接続を一旦切断した後、再接続することにより、PC 3 への接続処理についても初期状態から再始動させることができる。

本実施の形態では CPU 5 及びハブ 6 のリセットを共通化した例について述べたが、これに限られるものではなく、CPU 10 のリセットを共通化しても良い。

本発明の更なる実施の形態であるディスプレイ装置の外観図を第 22 図に示す。

本実施の形態はディスプレイ装置 1 に電源オン・オフスイッチとは異なるシリアルインターフェースアダプタ 2 のリセットスイッチ 24 を設けた点が他の実施の形態と異なる。第 22 図では、リセットスイッチ 24 の位置をディスプレイ装置のキャビネット 1 の表示画面の近傍としているが、その場所に限られるものではなく、例えばシリアルインターフェースアダプタ 2 の前面（第 22 図の 2 の斜線部）であってユーザから操作できる位置に設けてもよい。

第 21 図の構成に、リセットスイッチ 24 を設けた内部構成図を第 23 図に示す。

第 23 図では、ユーザがリセットスイッチ 24 を押すことにより、共通リセット回路 23 が CPU 5 及びハブ 6 を初期状態に戻し、PC 3 とのアップストリームポートの接続も一旦切断し、再接続するように、CPU 5 及び CPU 10 はプログラムされている。上記のように CPU 5 及び CPU 10 をプログラムすることにより、例えばダウンストリームポート 62 に接続したデバイスが故障、または過電流状態となったことを OSD 表示等によりユーザが知った場合に、ユーザが故障したデバイスをダウンストリームポート 62 から取り外し、再接続してリセットスイッチ 24 を押すことにより、シリアルインターフェース 2 の CPU 5 やハブ 6 は初期状態から動作を再開することができる。この時、過電流状態を検出したときは、特にダウンストリームポート 62 に接続されるデバイスの取り外し作業をする必要はない。

尚、本実施の形態では上記過電流状態からの動作再開のトリガーとしてリセットスイッチ 24 を使用する場合の例について述べたが、これ以外の形態としては、共通リセット回路、CPU 5 またはハブ 6 が過電流状態をモニターし、過電流状態が解消されたことを検出した時に自動的に初期状態から動作を再開する方法もある。

本発明の更なる実施の形態を、第 24 図に示す。第 24 図では、1 つのシリアルインターフェースアダプタ 2 で複数のディスプレイと通信制御をするものであり、その点が他の実施の形態と異なる。

本実施の形態によるシリアルインターフェースアダプタ 2 が通信できるディスプレイ装置は 1 台に限られるものではなく、複数のディスプレイ装置毎にアドレスを割り当てて識別することにより、複数のディスプレイと通信が可能である。

例えば、第 25 図に示すような複数のディスプレイ装置を上下に 3 つ、左右に 3 つと、合計 9 個をつなぎ合わせて 1 つの大画面を実現する多画面マルチディスプレイ装置 25 の各コアとの通信制御も可能である。第 25 図において、10、101、102、103、104、105、106、107、108 はコアとなっているディスプレイ装置を制御する CPU である。PC 3 は、前記各コアの CPU との通信制御により各コア毎に明るさ、色温度、画面歪み、表示サイズ、位置等の画質制御をすることができ、前記各コア（ディスプレイ装置）の調整値、識別情報、性能情報等の取得、及びそれらのデータに基づいた制御が可能である。

本発明による更なる一実施形態であるディスプレイ装置の構成を示すブロック図を第 26 図に示す。同図において、201 は PC であり、202 はディスプレイ装置であり、203 はハブユニットである。ディスプレイ装置 2 において、321 は同期処理回路、322 はビデオ処理回路、323 は CPU、324 はドライブ回路、325 は表示デバイス、326 は制御データメモリである。以下、ディスプレイ装置 202 の各部の動作を説明する。

同期処理回路 321 は入力された映像信号、複合同期信号、あるいは H D、V D から所定極性の水平パルス（H D）及び垂直パルス（V D）を生成し、ビデオ処理回路 322、CPU 323 及び、ドライブ回路 324 に供給する。この際、

同期信号の極性情報を検出してCPU 323に供給しても良い。CPU 323は同期処理回路321の出力HD、びVDの周波数及び入力同期信号の極性情報から入力信号を特定し、該映像信号を表示する際の明るさ、色、表示サイズ、表示位置、ひずみ等の制御データを制御データメモリ326から呼び出し、ビデオ処理回路322及び、ドライブ回路324を制御する。尚、第26図では上述の制御データメモリ226をCPU 323外部に設けた例を記載しているが、これに限られるものではなく、例えば、CPU 323の内蔵ROMであっても良い。

ビデオ処理回路322は入力されたR、G、Bのビデオ信号にCPU 323からの制御情報に基づいて増幅、レベルシフト等の信号処理を施し、表示デバイス325に出力する。ドライブ回路324は入力された同期信号及び、該CPU 323からの制御情報に基づいて表示サイズ、ひずみ等を制御し、表示デバイス325を駆動する。以上説明したように各部が動作することにより、入力された映像信号を画像として表示デバイス325上に表示することができる。ここで、表示デバイス325はCRT方式でも液晶方式でもプラズマ方式でも良く、画像又は文字が表示できるデバイスであれば何でも良い。

以下、ハブユニット203の動作を説明する。ハブユニット203において、3Uはアップポート、3D1～3D4はDownポート、231はハブリビータ、232はハブコントローラ、である。

UPポート3Uを外部コンピュータに接続することにより、ハブコントローラ232はCPU 323からメーカー名、製品名、製造番号、対応している規格のバージョン情報、文字情報、電源方式情報、Downポートの数、過電流検出方式、保留からの復帰信号の対応の可否、通信プロトコル等の識別情報を取得し、UPポートを通じて外部コンピュータに回答することにより、PC 201にハブとして認識される。ここで、CPU 323から読み込む識別情報はPC 201から要求される情報毎にCPU 323から逐一読み込んでも良いし、UPポート3Uが接続される前に一括して必要な情報を全て読み込んでも良い。

ハブユニット203がPC 201にハブとして認識されることにより、ハブリビータがUPポート3UとDownポート3D1～3D4の通信の仲介動作を開始し、Downポート3D1～3D4が動作可能状態となる。この状態でキーボ

ードやマウスなどの周辺機器をDownポート3D1～3D4に接続すればPC201との通信が可能となり、Downポート3D1～3D4に接続された周辺機器が動作可能となる。

以上説明したように、本実施形態のディスプレイ装置202はハブユニット203のメーカー名、製品名、製造番号等の識別情報をCPU323内部に保持しており、ハブユニット203が前記識別情報をCPU323から取得し、PC201に回答することにより、CPU323内部に記録されている識別情報でPC201に認識されることが可能となる。

また、ディスプレイ装置202がPC201から明るさ、表示位置、サイズ、歪み等を制御するディスプレイ制御機能に対応する場合はハブ識別情報の他にディスプレイ装置202が対応している上記制御項目の種類、調整範囲等もCPU323内に記録しておき、ハブユニット203を経由してPC201に回答することで、PC201はディスプレイ装置202が上記ディスプレイ制御機能に対応している旨及び、仕様情報を把握することができ、ディスプレイ装置202の表示画面制御が可能となる。ハブユニット203はUPポート3からディスプレイの制御情報が送られてくると、ハブコントローラ232を介してディスプレイ装置202内のCPU323に伝え、CPU323は受信したディスプレイの制御情報に基づいてビデオ処理回路322及び、ドライブ回路324を制御する。以上によりPC201がディスプレイ装置202の表示制御を行うことやディスプレイ装置202から設定値を取得することが可能となる。

また、ハブユニット203の内部にバックアップ用の識別情報を設け、CPU323との通信がある一定時間以上経過しても完了しない時や、通信プロトコルエラーにより、ハブコントローラがCPU323からの識別情報の取得ができない場合には、上記バックアップ情報をPC201に回答し、汎用のハブとして動作しても良い。また、上述のようにCPU323からの識別情報の取得ができない場合には上記ディスプレイ制御機能の調整項目を限定したり、ディスプレイ制御機能自身を禁止するよう設定しても良い。

尚、ハブユニット203はディスプレイ装置202と着脱可能なユニット構造としても、ディスプレイ装置202へ内蔵してもどちらでも良く、外部コンピュ

ータと周辺機器との通信を制御するハブ制御機能を有する点では、全く同様である。ここで、周辺機器としてはディスプレイ装置 202 自身も当然含まれる。

本発明による一実施形態であるディスプレイ装置の構成を示すブロック図を第 27 図に示す。

第 26 図と同一部分には同一符号を付し、重複する説明は省略する。上述の実施形態は CPU 323 内部にハブユニット 203 の識別情報を記録する場合の例について述べた。これに対し、本実施形態のディスプレイ装置は CPU 323 の外部にメモリ 327 を設け、メモリ 327 の内部にハブユニット 203 の識別情報を記録する場合の例について述べる。

CPU 323 はメモリ 327 からハブユニット 203 の識別情報を取得し、ハブユニット 203 に送信する。尚、CPU 323 とメモリ 327 とのインターフェースはシリアルでもパラレルでも良く、またシリアルの場合には 1 本のクロックラインと 1 本の双方向データラインの 2 本の信号線を用いる 2 線式であっても良く、1 本のクロックラインと 1 本の送信データラインと 1 本の受信データラインの 3 本の信号線を用いる 3 線式であっても良い。本実施形態ではハブユニット 203 の識別情報を記録するための専用のメモリ回路としてメモリ 327 を設けた例について述べたが、これに限られるものではなく、メモリ 326 にハブユニット 203 の識別情報を記録しても良い。この場合でも本発明の範囲を逸脱するものではない。

本発明による一実施形態であるディスプレイ装置の構成を示すブロック図を第 28 図に示す。

第 26 図と同一部分には同一符号を付し、重複する説明は省略する。上述の実施形態はディスプレイ装置 202 内部のメモリ 327 のみからハブユニットのデータを読み込む場合の例について述べた。これに対し、本実施形態のディスプレイ装置 202 は、ハブユニット 203 の内部に第 2 のメモリ 333 を設け、データの内容に応じてどちらのメモリエリアに記録するべきかを選別して記録している点が上述の実施形態と異なる。

例えば、ハブユニット 203 の製造番号はハブユニット 203 固有の値であるため、ハブユニット 203 内のメモリ 333 に記録するのが望ましい。そのよう

な場合には、本実施形態のハブユニット 203 はメーカー名はメモリ 327 の情報を使用し、前記製造番号はメモリ 333 の情報を使用するよう設定すれば良い。また、メモリ 327 からハブユニット 203 の製造番号を受信したとしてもメモリ 333 からハブユニット 203 の製造番号を受信した場合にはメモリ 333 の情報を優先する等、情報の項目に応じて優先順位を設けても良い。また、メモリ 333 の情報が欠落している場合にはメモリ 327 の情報で補う等、メモリ 327 のデータをバックアップとして使用しても良い。更に、両方のメモリからリードできないときはハブコントローラ 232 の内部のバックアップデータを第 2 のバックアップデータとして使用する等、バックアップデータに優先順位を設けても良い。

本発明による一実施形態であるディスプレイ装置の構成を示すブロック図を第 29 図に示す。

同図において、204 は第 2 の PC である。第 26 図と同一部分には同一符号を付し、重複する説明は省略する。上述の実施形態はディスプレイ装置 202 内部にハブユニット場合の例について述べた。これに対し、本実施形態は、PC 201 とは異なる第 2 の PC 204 を設け、ハブコントローラ 232 が CPU 323 を介して、PC 204 からの識別情報を取得する点が上述の実施形態と異なる。

本実施形態は製造時の動作検証において、メモリ 327 に識別データの書き込み作業を行う必要が無いため、時間的な製造コストを削減することができる。CPU 323 と PC 204 とのインターフェースはシリアルであってもパラレルであっても構わない。また、シリアルの場合は上述した 2 線式、3 線式のクロック同期式でも良く、UART (Universal Asynchronous Receiver/Transmitter) を使用しても良い。

尚、本実施形態はハブコントローラ 232 が CPU 323 を介して、PC 204 からの識別情報を取得する場合の例について述べたが、これに限られるものではなく、ハブコントローラ 232 が PC 204 から直接、識別情報を取得する場合であっても本発明を逸脱するものではない。この場合のハブユニット 203 と PC 204 とのインターフェースは上述した各種インターフェースのどれを使用

しても良い。

本発明による一実施形態であるディスプレイ装置の構成を示すブロック図を第30図に示す。

第26図と同一部分には同一符号を付し、重複する説明は省略する。上述の実施形態はハブコントローラ232が第2のPC204から識別情報を取得する場合の例について述べた。これに対し、本実施形態は、PC201からの識別情報を取得する点が上述の実施形態と異なる。

例えば、PC201はハブユニット203からの識別情報の取得に失敗した場合に、ディスプレイ装置としての識別情報、例えばEDID (Extended Display Identification Data) をCPU323から受信し、EDIDからディスプレイ装置202に装着されているハブユニット203の識別情報を抽出し、UPポート3Uを介してハブコントローラ232に送信する。ハブコントローラ232はPC201から受信した識別情報をハブユニット203内のメモリ333に書き込み、以後、メモリ333の識別情報をPC201に回答することによりHub Deviceとして動作することができる。メモリ333は不揮発性のメモリ素子を使用することにより、2回目以降の識別情報の書き込みを省略することができる。以上説明したように各部が動作することにより、ハブユニット203はPC201から識別情報を取得し、動作することが可能となる。

尚、本実施形態ではハブユニット203は識別情報をUPポート3Uを介して取得する場合の例について述べたが、これに限られるものでなく、CPU323がEDIDを送信したインターフェースを使用し、PC1からCPU323経由で受信する場合も本発明の範囲を逸脱するものではない。また、EDIDの格納エリアはCPU323内部であっても制御用データメモリ326内部であっても、新たに専用メモリ回路を設けても構わない。また、前記専用メモリ回路をPC201とCPU323のインターフェースに接続し、CPU323の介在無しでPC201が直接リードする構成であっても構わない。

以上説明を分かり易くするために本発明の項目毎に実施形態を示して説明した。従って、本明細書に記載した各実施形態を如何様に組み合わせたとしても本発

明の範囲を逸脱するものではない。さらに、表示デバイスとしてはＣＲＴに限られるものではなく、液晶やプラズマと言ったマトリクスタイプであっても良い。産業上の利用可能性

以上説明したように本発明によれば、ＰＣとのインターフェース仕様が変更されても、柔軟に対応できるディスプレイ装置を提供することができる。またデジタル信号処理装置一般に、インターフェース仕様の異なる機器での通信において、インターフェース仕様の相互変換が行える機器を提供することが出来る。

また、ＰＣとの通信を行うハブユニットがディスプレイ装置からメーカー名、製品番号等のハブとして必要な識別情報を取得するため、ディスプレイ装置と統一の取れた識別情報を有するハブユニットとして動作することができる。

また、ディスプレイ装置が対応している画質調整項目や調整範囲をディスプレイ装置から取得し、ＰＣに回答することができるため、ＰＣからディスプレイ装置の動作可能な全調整項目を所要量で調整することができる。

【図面の簡単な説明】

第１図は、本発明によるディスプレイ装置の一実施形態を示し、その外観を示す図である。

第２図は、本発明によるディスプレイ装置とコンピュータとシステム構成の一実施形態を示す図である。

第３図は、本発明によるシリアルインターフェースアダプタを用いたインターフェース仕様相互変換を行うシステムの構成を示す図である。

第４図は、本発明によるシリアルインターフェースアダプタを用いたインターフェース仕様相互変換を行うシステムの構成を示す図である。

第５図は、本発明によるシリアルインターフェースアダプタの有するＣＰＵがソフトウェアにより制御され、インターフェース仕様相互変換を制御することを示す図である。

第６図は、本発明によるハブを有するシリアルインターフェースアダプタの構成を示すとともに、シリアルインターフェースアダプタを用いた通信システムを示す図である。

第７図は、本発明によるハブを有するシリアルインターフェースアダプタの構

成を示すとともに、シリアルインターフェースアダプタを用いた通信システムを示す図である。

第 8 図は、本発明によるディスプレイ装置と、そのディスプレイ装置を用いた通信システムの一実施形態の構成を示す図である。

第 9 図は、本発明によるディスプレイ装置と、そのディスプレイ装置を用いた通信システムの一実施形態の構成を示す図である。

第 10 図は、本発明によるディスプレイ装置の一実施形態における表示画面の例を示す図である。

第 11 図は、本発明によるディスプレイ装置と、そのディスプレイ装置を用いた通信システムの一実施形態の構成を示す図である。

第 12 図は、本発明によるシリアルインターフェースアダプタを用いてデジタル信号処理装置を接続したシステムの一実施形態の構成を示す図である。

第 13 図は、本発明によるディスプレイ装置のシステム構成として、複数のシリアルインターフェースを有する一実施形態を示す図である。

第 14 図は、本発明によるディスプレイ装置と、そのディスプレイ装置を用いた通信システムの一実施形態の構成を示す図である。

第 15 図は、本発明によるディスプレイ装置と、そのディスプレイ装置を用いた通信システムの一実施形態の構成を示す図である。

第 16 図は、本発明によるディスプレイ装置と、そのディスプレイ装置を用いた通信システムの一実施形態の構成を示す図である。

第 17 図は、本発明によるディスプレイ装置のシリアルインターフェースアダプタのメモリ初期化回路の一例を示す図である。

第 18 図は、本発明によるディスプレイ装置と、そのディスプレイ装置を用いた通信システムの一実施形態の構成を示す図である。

第 19 図は、本発明によるディスプレイ装置と、そのディスプレイ装置を用いた通信システムの一実施形態の構成を示す図である。

第 20 図は、本発明によるディスプレイ装置と、そのディスプレイ装置を用いた通信システムの一実施形態の構成を示す図である。

第 21 図は、本発明によるディスプレイ装置と、そのディスプレイ装置を用い

た通信システムの一実施形態の構成を示す図である。

第 2 2 図は、本発明によるディスプレイ装置の一実施形態を示し、その外観を示す図である。

第 2 3 図は、本発明によるディスプレイ装置と、そのディスプレイ装置を用いた通信システムの一実施形態の構成を示す図である。

第 2 4 図は、本発明によるディスプレイ装置と、そのディスプレイ装置を用いた通信システムの一実施形態の構成を示す図である。

第 2 5 図は、本発明によるディスプレイ装置を複数用いた一実施形態における表示画面の例を示す図である。

第 2 6 図は、本発明によるディスプレイ装置とコンピュータとシステム構成の一実施形態を示す図である。

第 2 7 図は、本発明によるディスプレイ装置とコンピュータとシステム構成の一実施形態を示す図である。

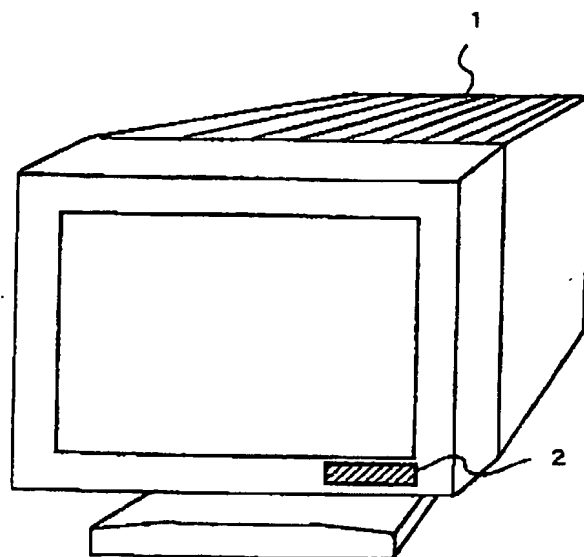
第 2 8 図は、本発明によるディスプレイ装置とコンピュータとシステム構成の一実施形態を示す図である。

第 2 9 図は、本発明によるディスプレイ装置とコンピュータとシステム構成の一実施形態を示す図である。

第 3 0 図は、本発明によるディスプレイ装置とコンピュータとシステム構成の一実施形態を示す図である。

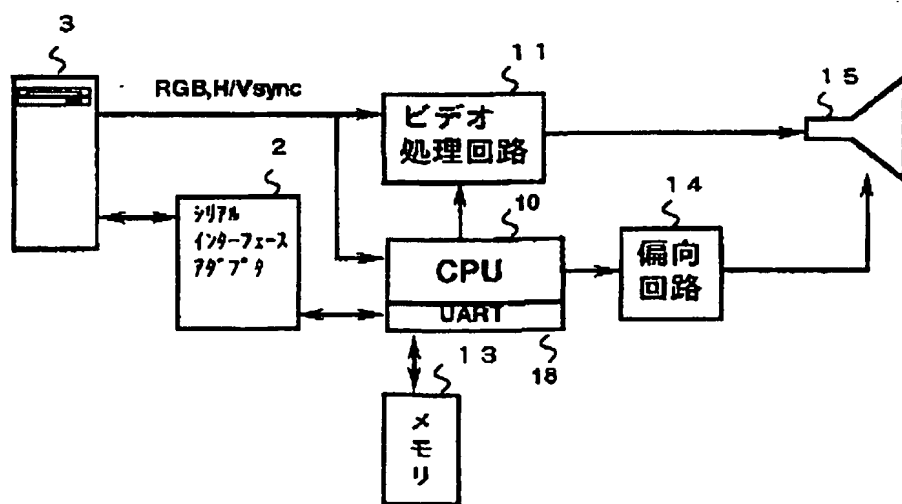
【 図 1 】

第 1 図

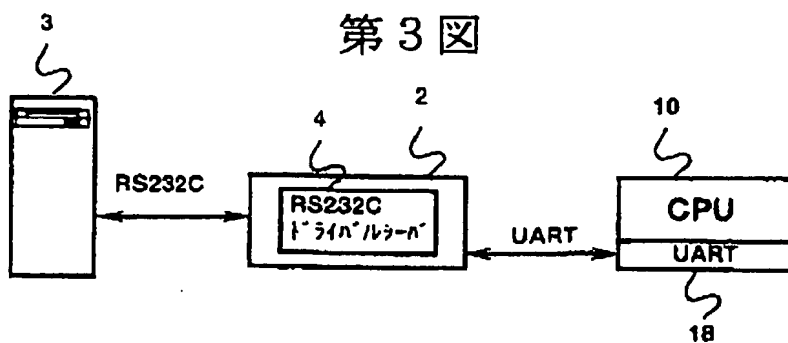


【 図 2 】

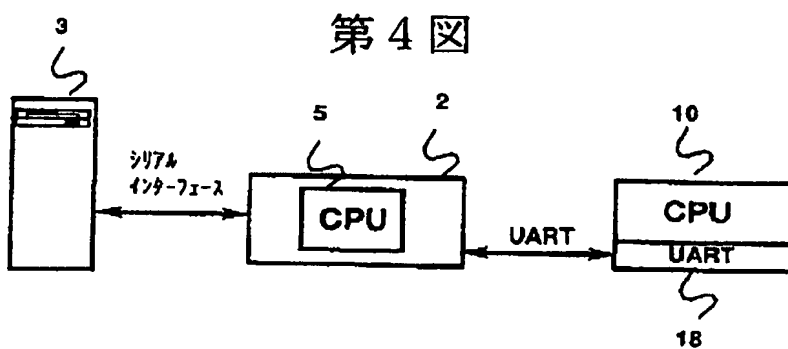
第 2 図



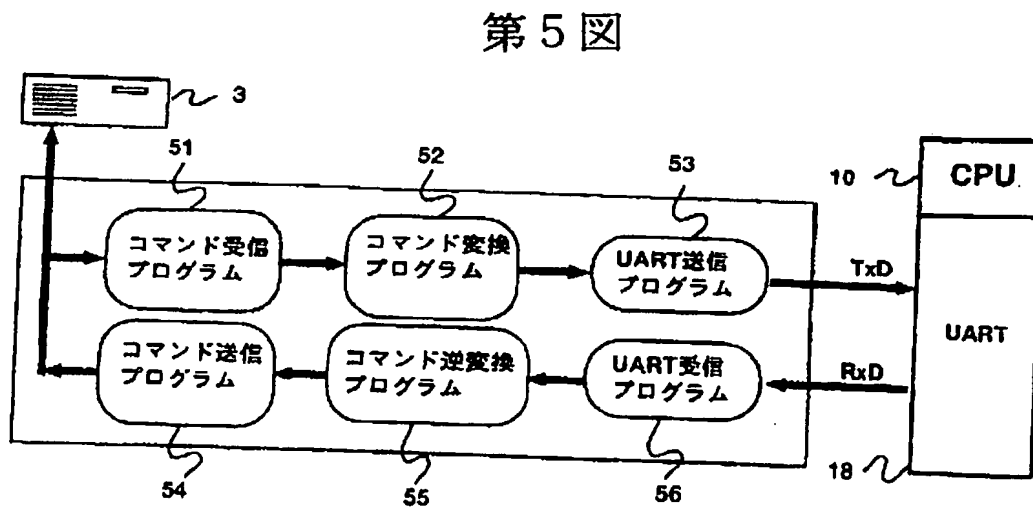
【 図 3 】



【 図 4 】

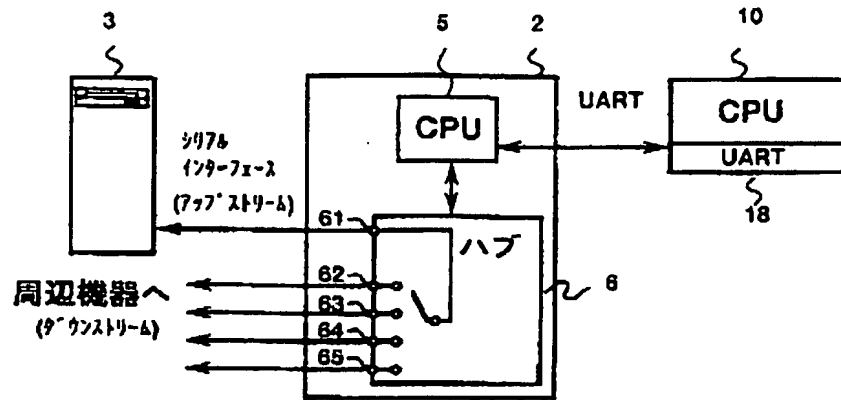


【 図 5 】



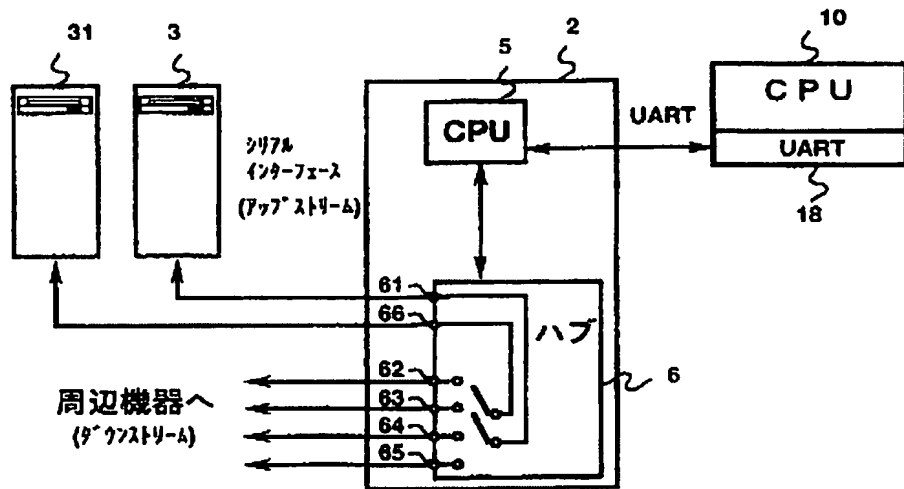
【 図 6 】

第 6 図



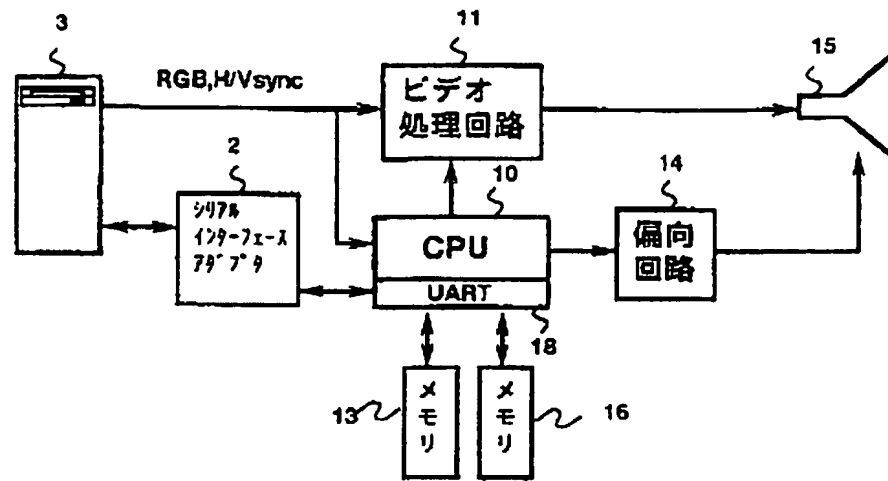
【 図 7 】

第 7 図



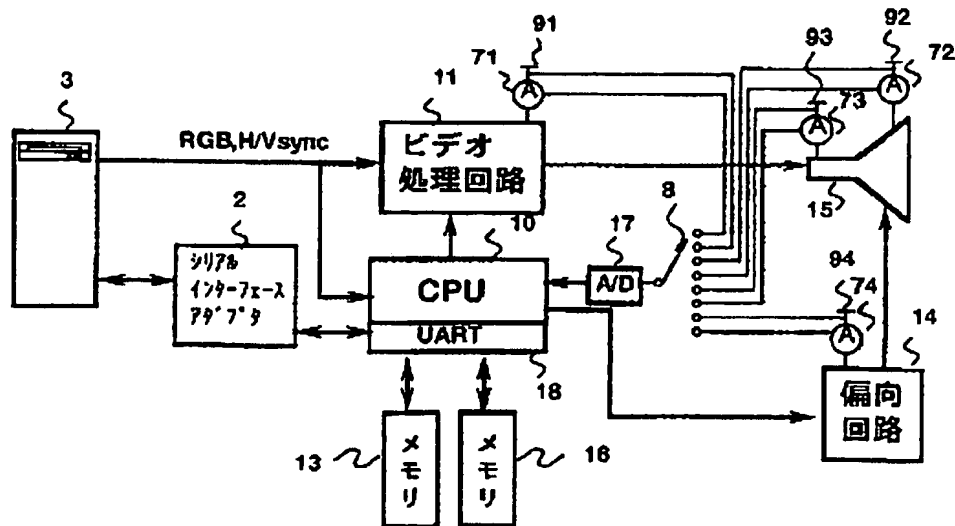
【 図 8 】

第 8 図



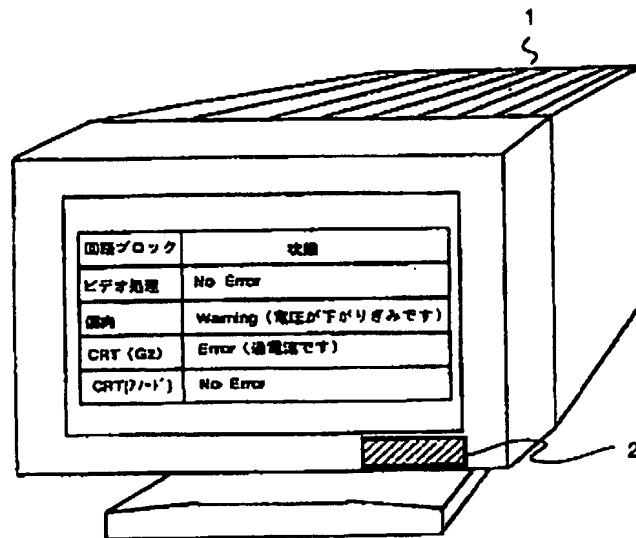
【 図 9 】

第 9 図



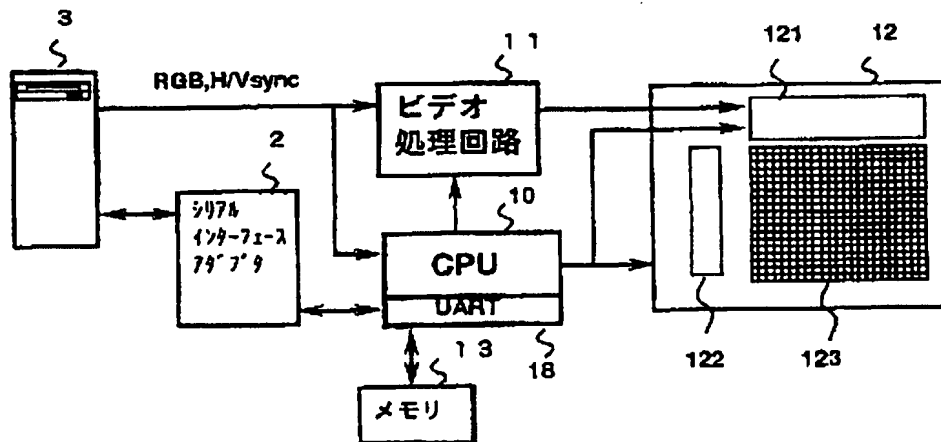
【 図 1 0 】

第 1 0 図



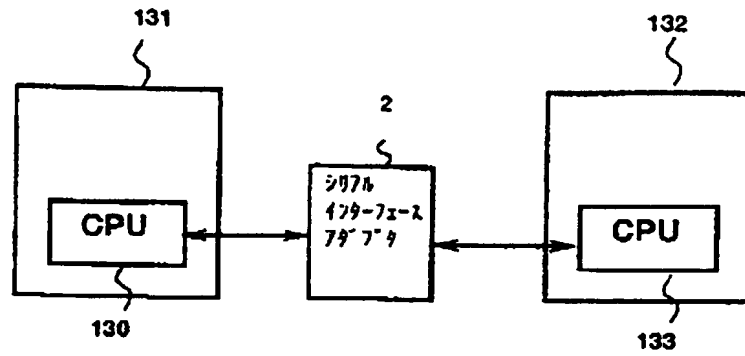
【 図 1 1 】

第 1 1 図



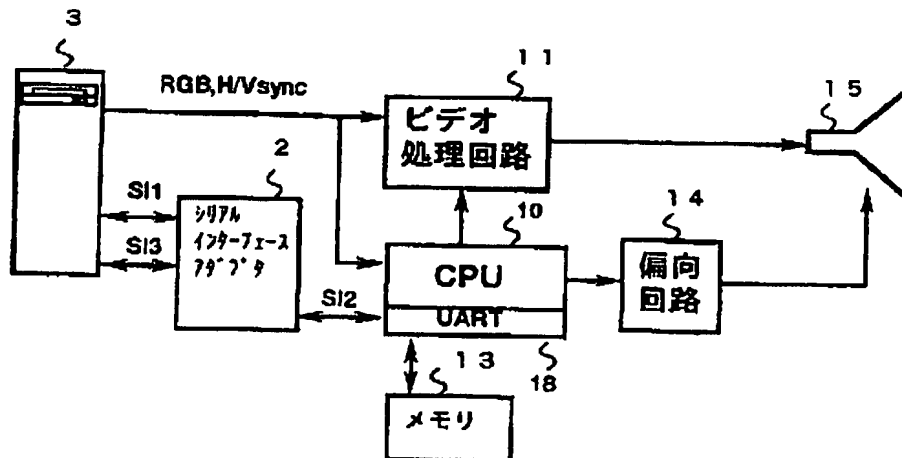
【 図 1 2 】

第 1 2 図



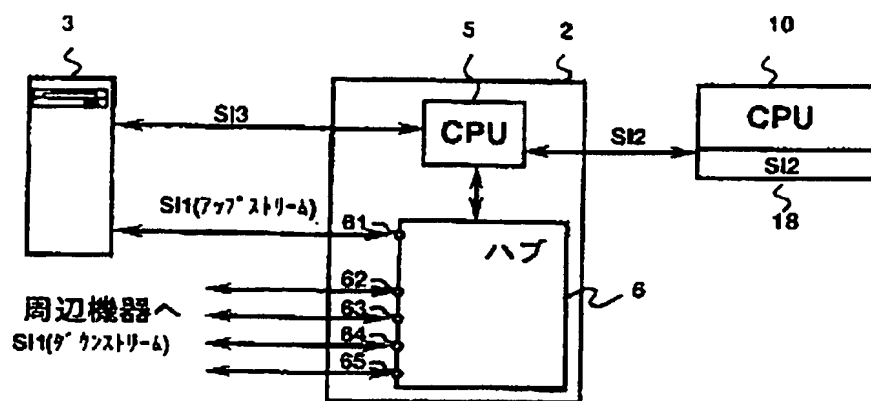
【 図 1 3 】

第 1 3 図



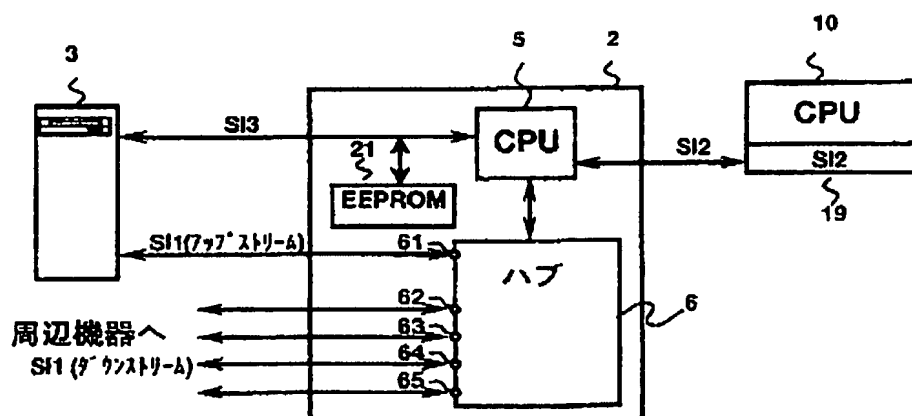
【 図 1 4 】

第 1 4 図



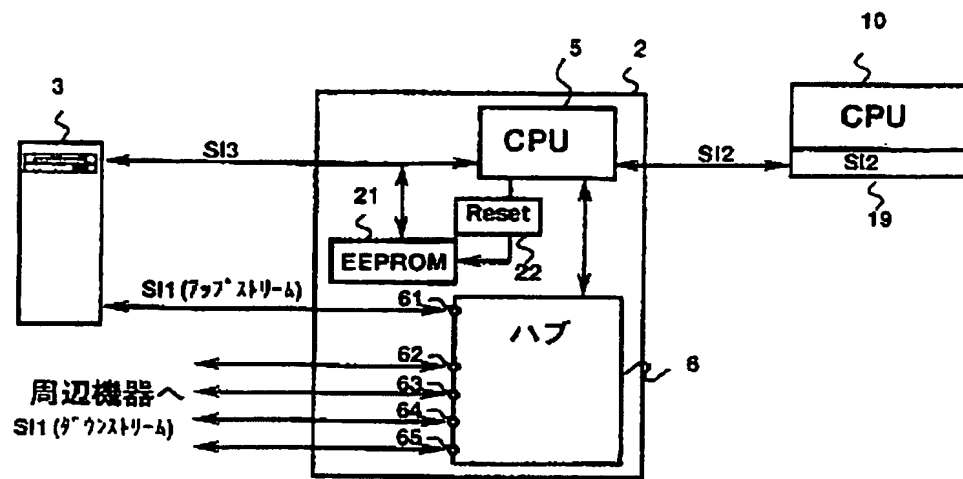
【 図 1 5 】

第 1 5 図



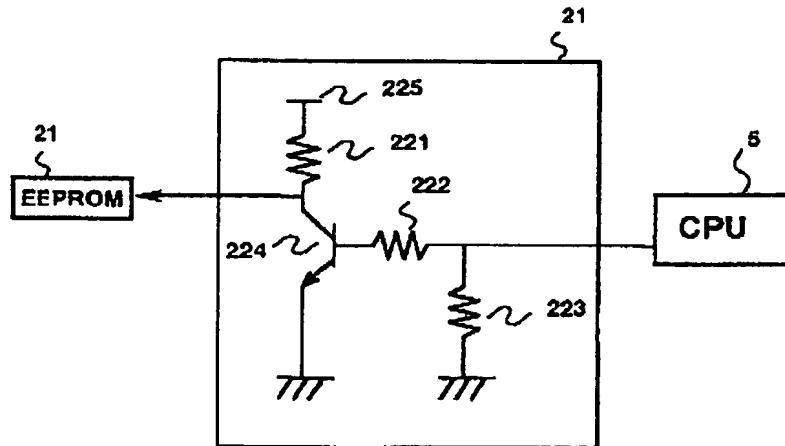
【 図 1 6 】

第 1 6 図



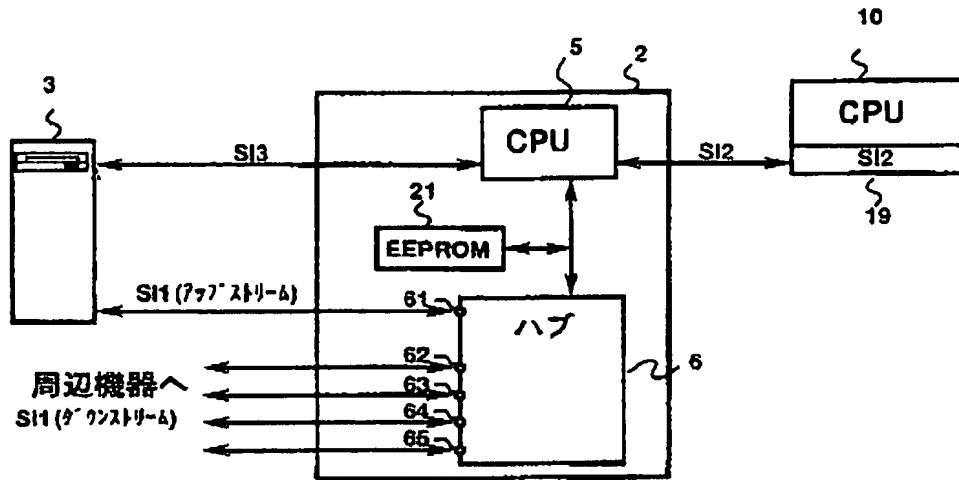
【 図 1 7 】

第 1 7 図



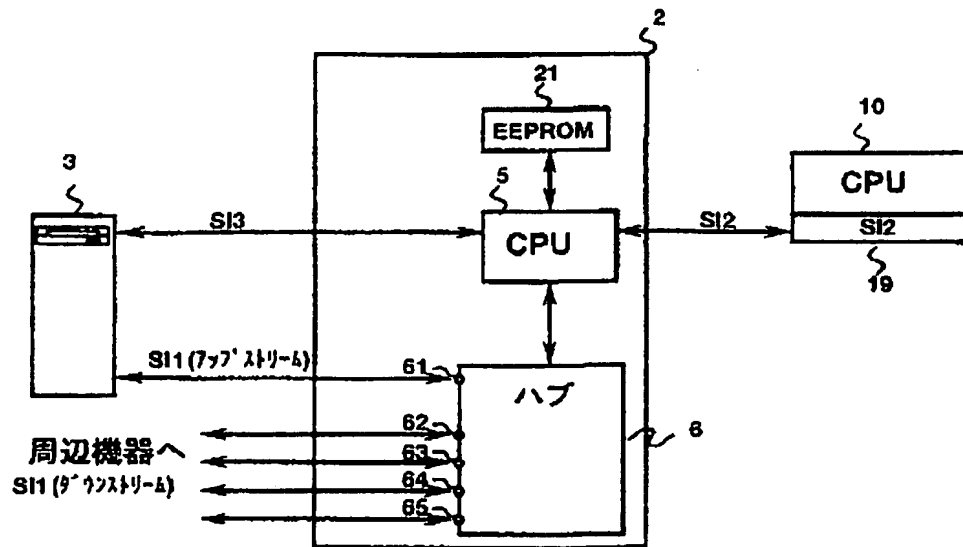
【 図 18 】

第 18 図



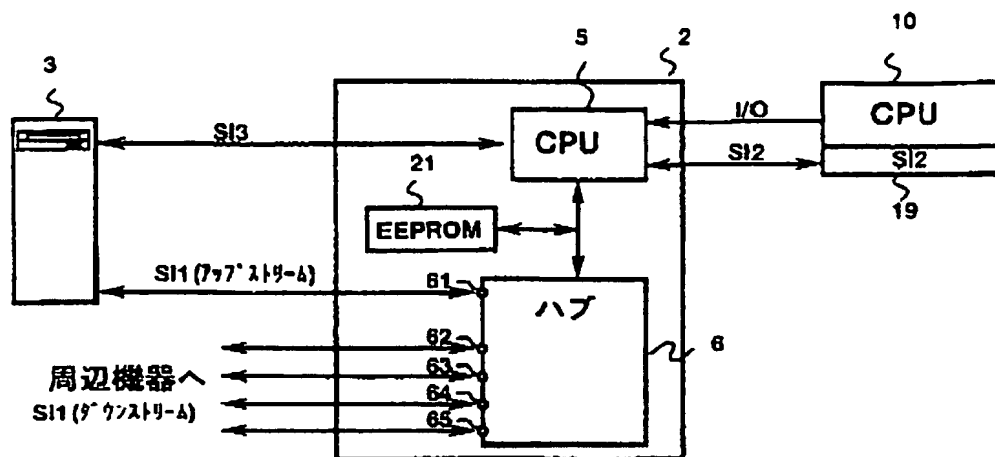
【 図 19 】

第 19 図



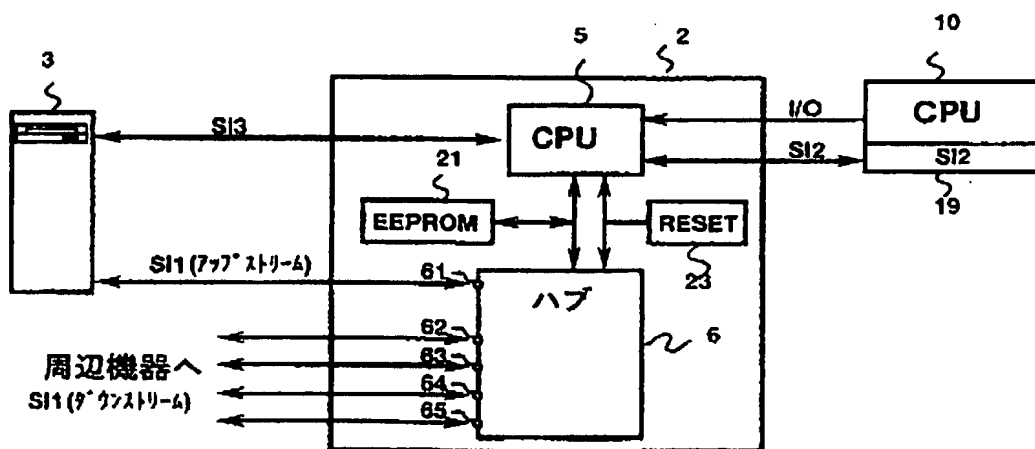
【 図 2 0 】

第 2 0 図



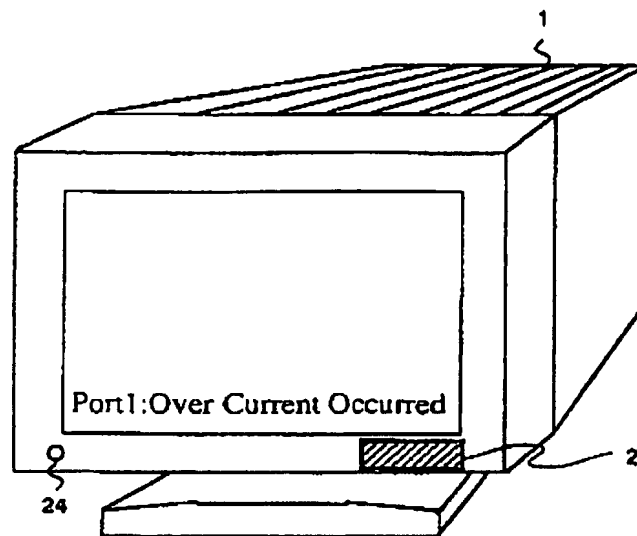
【 図 2 1 】

第 2 1 図



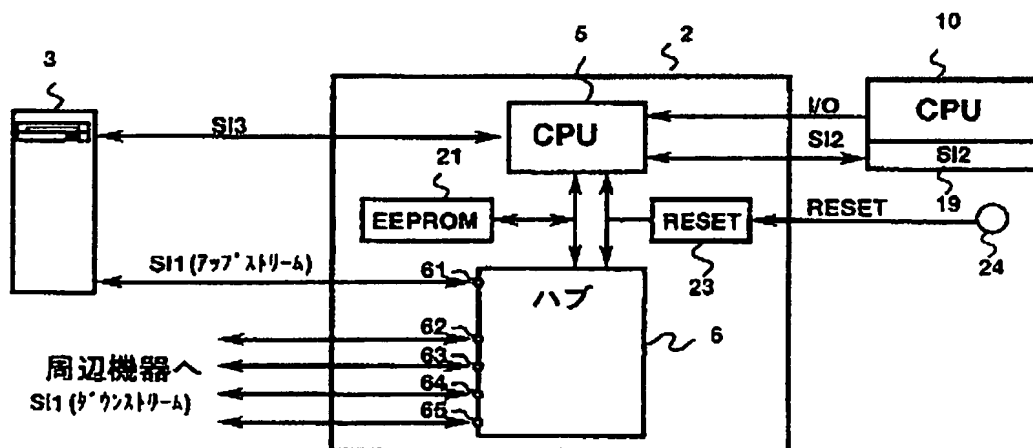
【 図 2 2 】

第 2 2 図



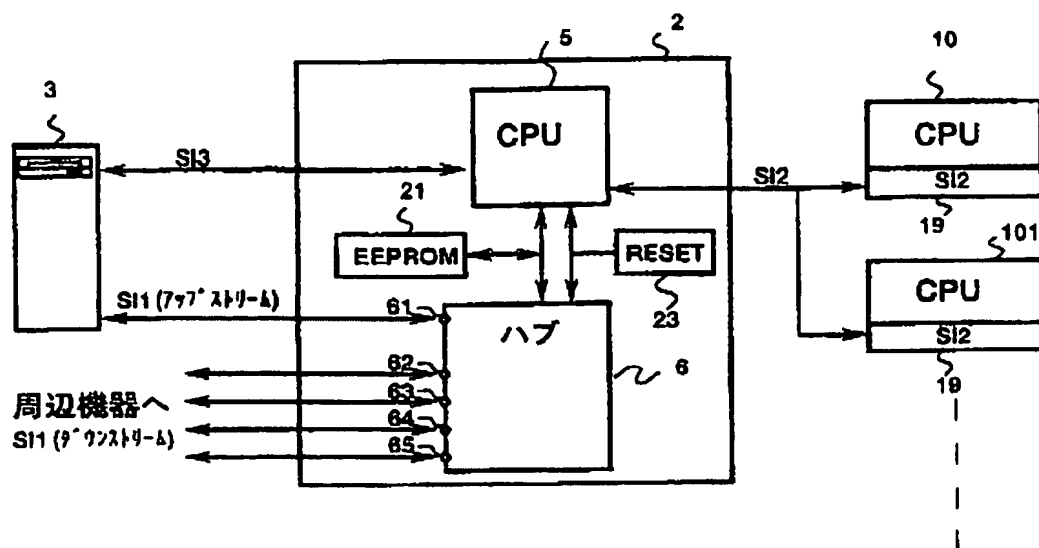
【 図 2 3 】

第 2 3 図



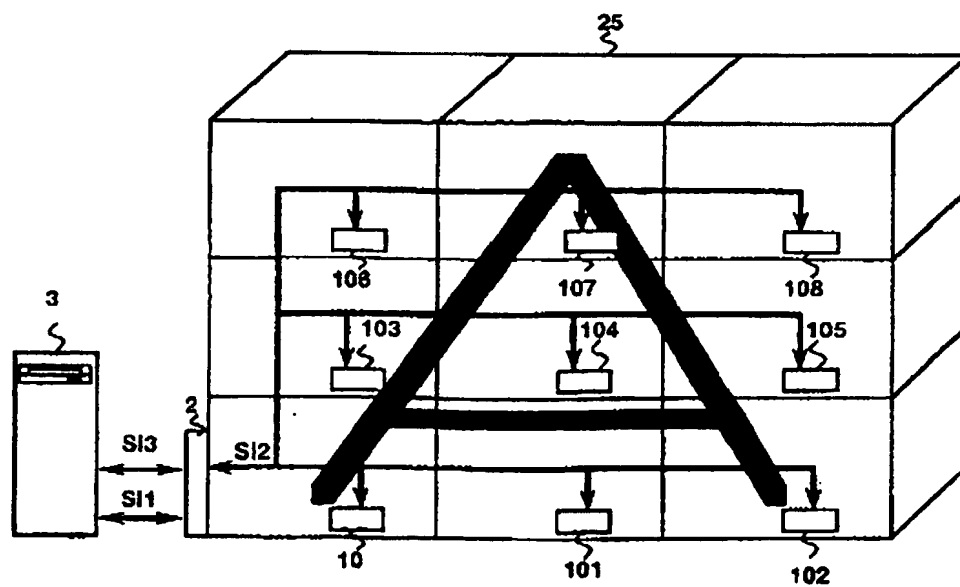
【 図 2 4 】

第 2 4 図



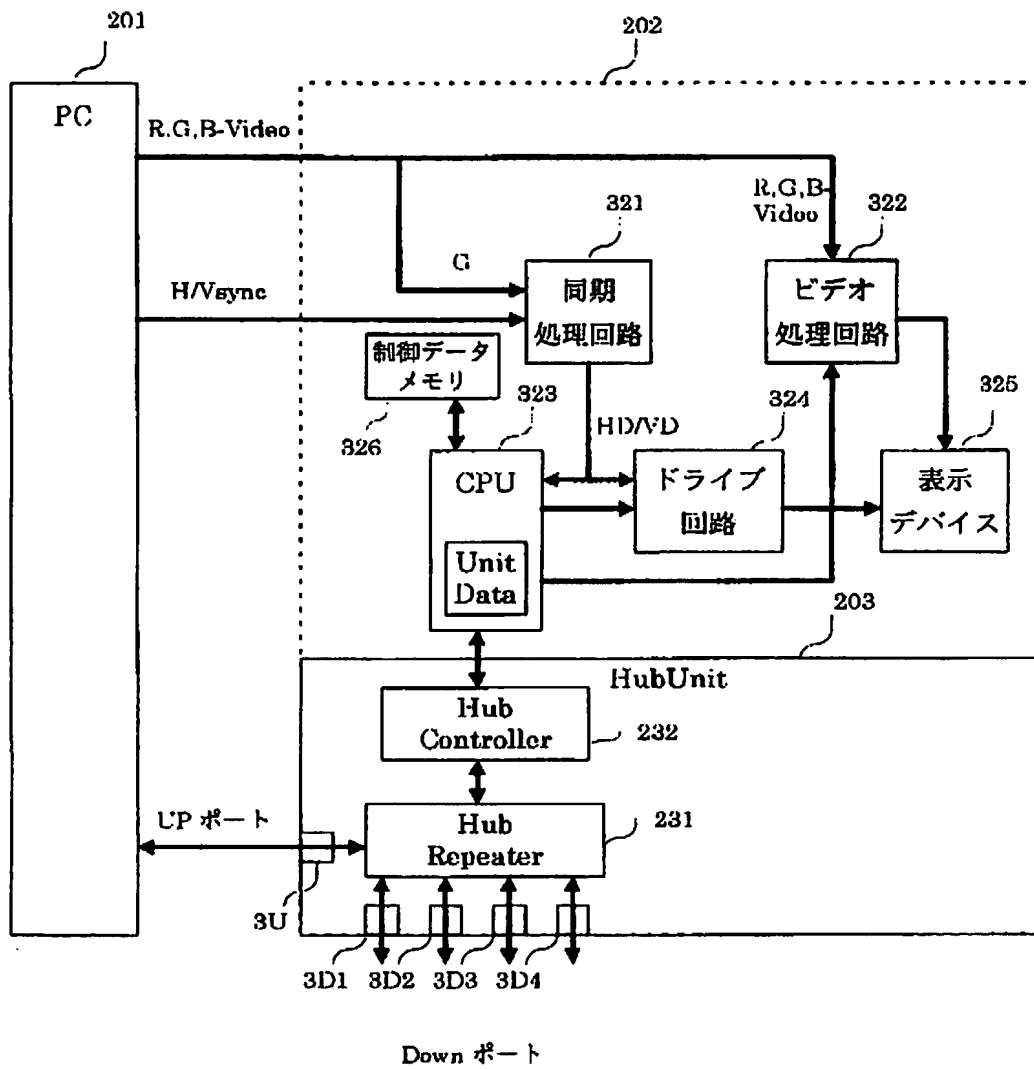
【 図 2 5 】

第 2 5 図



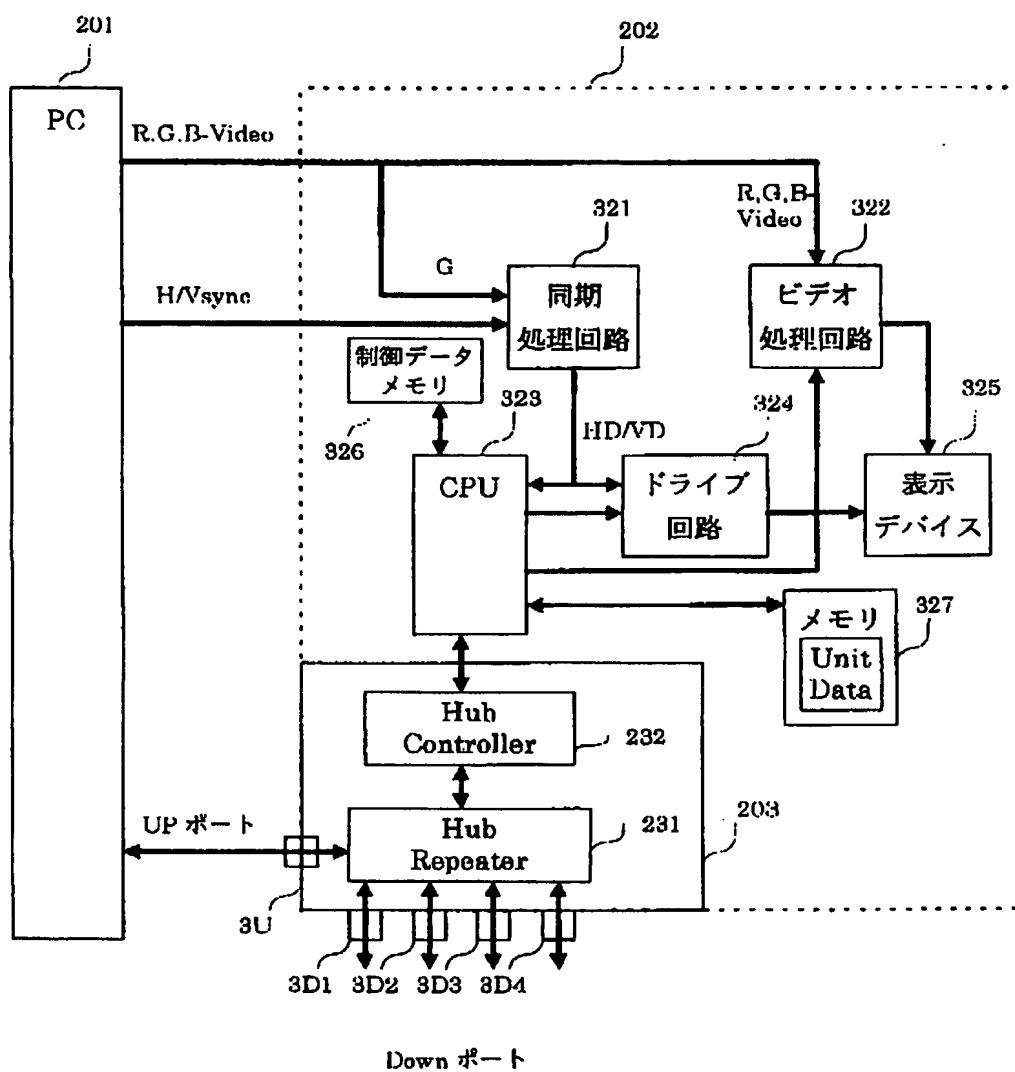
【 図 26 】

第 26 図



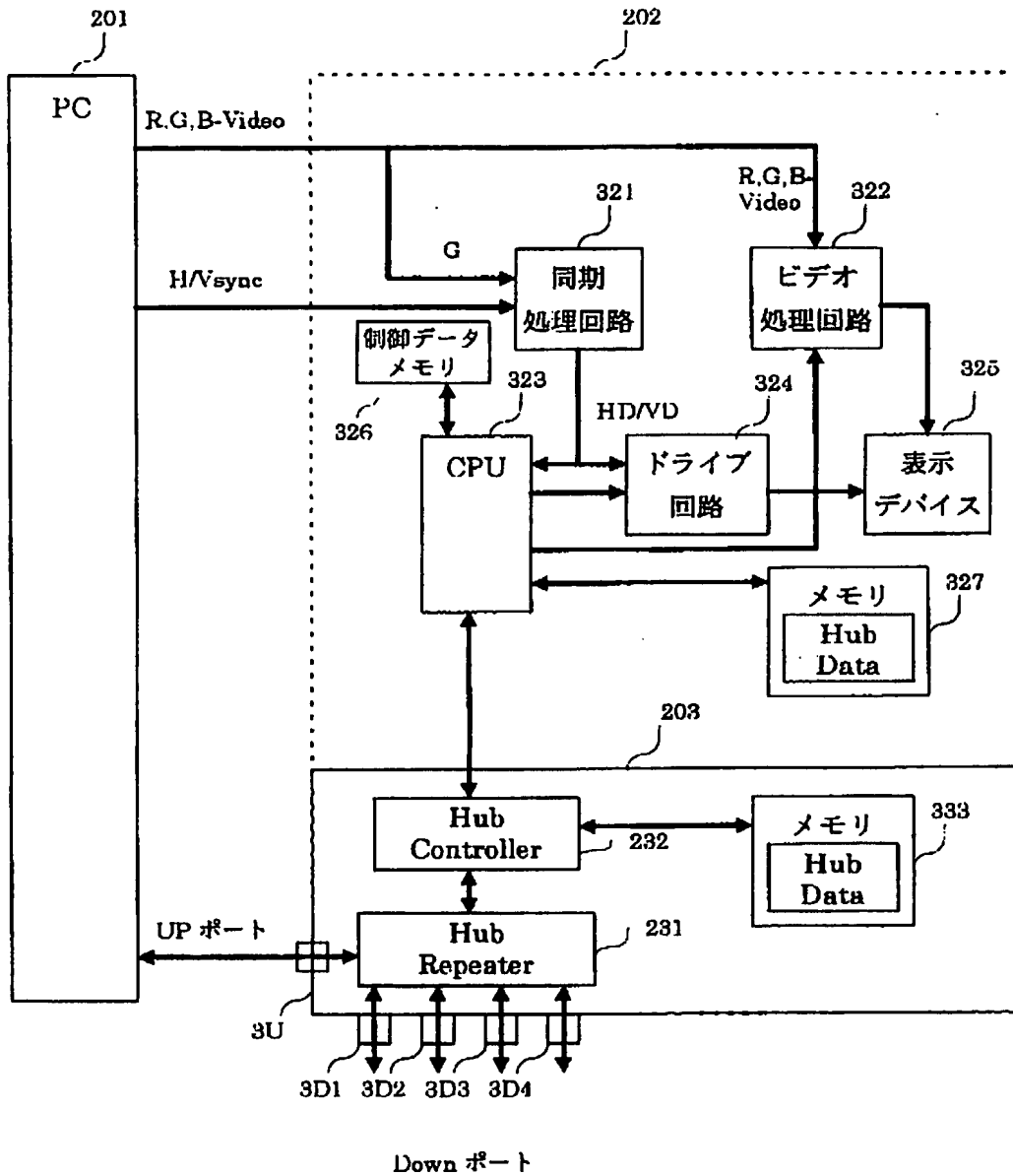
【 図 2 7 】

第 2 7 図



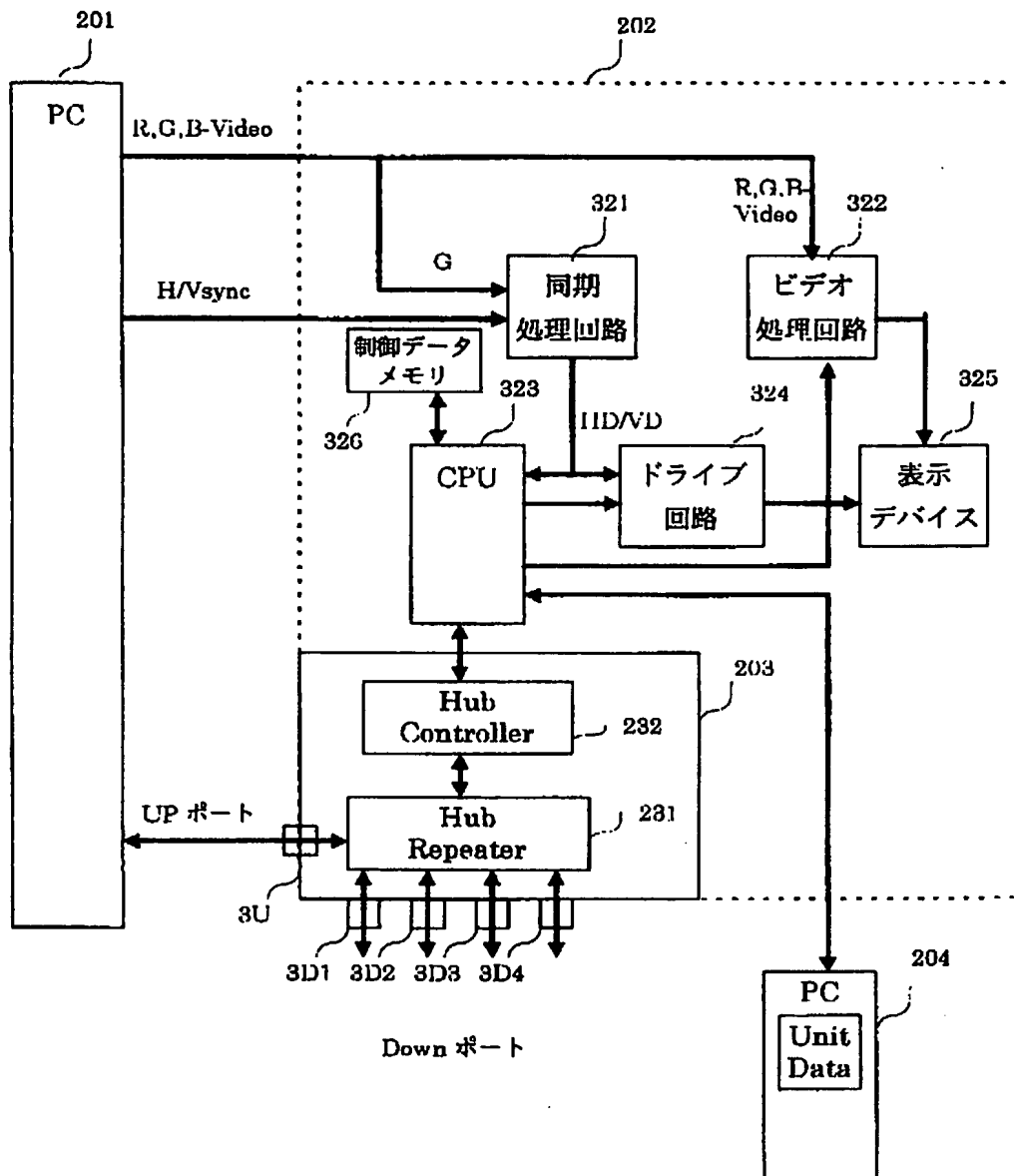
【 図 2 8 】

第 2 8 図



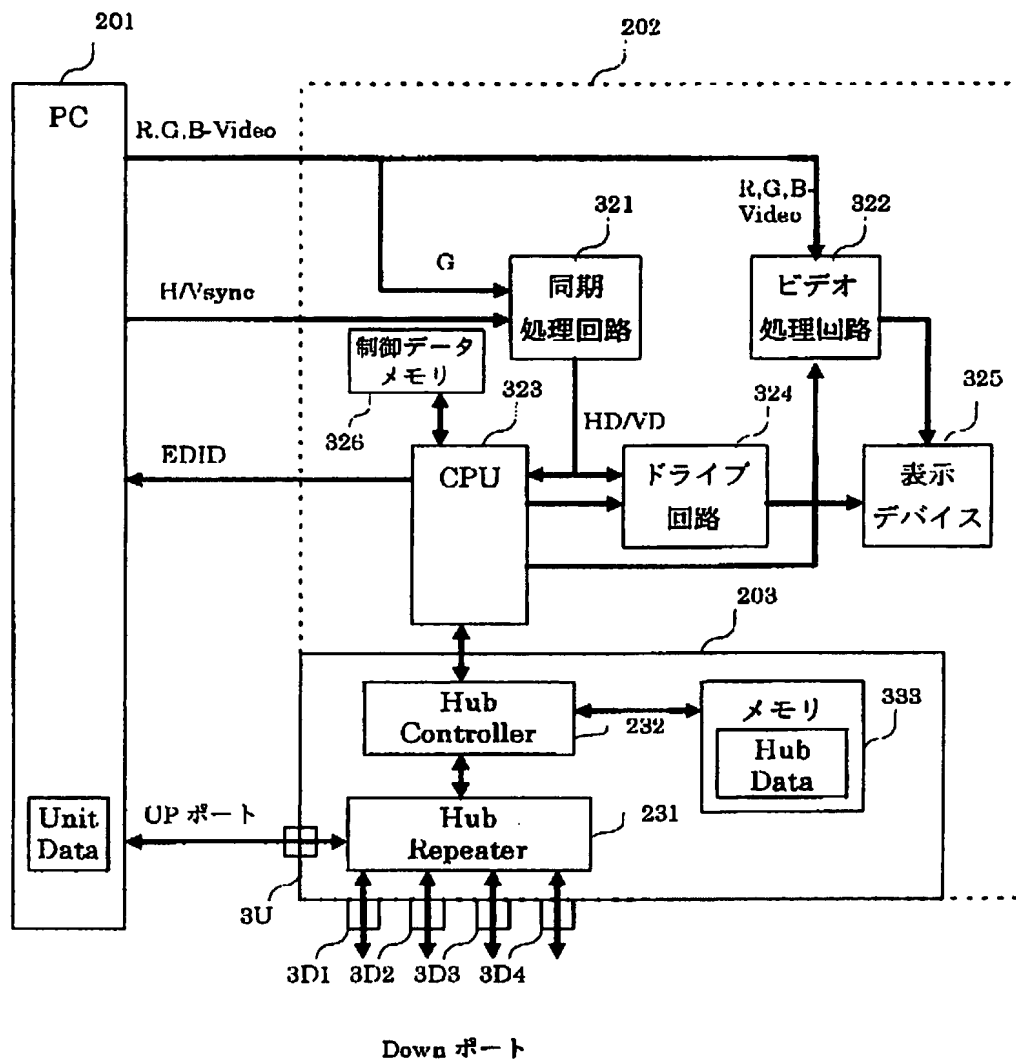
【 図 2 9 】

第 2 9 図



【図 30】

第 30 図



【手続補正書】特許協力条約第34条補正の写し提出書

【提出日】平成11年7月15日(1999.7.15)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】(補正後)外部コンピュータから出力された映像信号を表示するディスプレイ装置において、表示を制御するための制御回路と、前記外部コンピュータから所定のインターフェイス仕様で送信されたコマンド及び/またはデータを受信し、該受信したコマンド及び/またはデータを前記制御回路で処理可能なインターフェイス仕様のコマンド及び/またはデータに変換する変換手段を備えたインターフェイスアダプタとを有することを特徴とするディスプレイ装置。

【請求項2】(補正後)外部コンピュータから出力された映像信号を表示するディスプレイ装置において、表示を制御するための制御回路と、該制御回路から所定のインターフェイス仕様で送信されたコマンド及び/またはデータを受信し、該受信したコマンド及び/またはデータを前記外部コンピュータで処理可能なインターフェイス仕様のコマンド及び/またはデータに変換して送信する変換手段を備えたインターフェイスアダプタとを有することを特徴とするディスプレイ装置。

【請求項3】(補正後)請求の範囲第1項または第2項に記載のディスプレイ装置において、前記インターフェイスアダプタが、装置本体に対して着脱可能に構成されていることを特徴とするディスプレイ装置。

【請求項4】削除

【請求項5】(補正後)請求の範囲第1項または第2項に記載のディスプレイ装置において、前記インターフェイスアダプタは、前記制御回路とは別の制御回路と、該別の制御回路によって制御される少なくとも1つのハブを有し、該ハブは、1つ以上の外部コンピュータと複数の周辺機器が接続可能であることを特徴と

するディスプレイ装置

【請求項 6】（補正後）請求の範囲第 5 項に記載のディスプレイ装置において、前記ハブは、前記外部コンピュータの第 1 のインターフェイスが接続可能で、前記別の制御回路は、前記外部コンピュータの第 2 のインターフェイスが接続可能であることを特徴とするディスプレイ装置。

【請求項 7】（補正後）請求の範囲第 6 項に記載のディスプレイ装置において、前記別の制御回路内に、前記ディスプレイ装置の仕様に関する情報を記憶したメモリエリアを設け、前記第 2 のインターフェイスを介して前記メモリエリアに記憶された情報を前記外部コンピュータへ送信することを特徴とするディスプレイ装置。

【請求項 8】（補正後）請求の範囲第 6 項に記載のディスプレイ装置において、前記インターフェイスアダプタに前記ディスプレイ装置の仕様に関する情報を記憶したメモリを設け、前記第 2 のインターフェイスを介して前記メモリに記憶された情報を前記外部コンピュータへ送信することを特徴とするディスプレイ装置。

【請求項 9】（補正後）請求の範囲第 6 項に記載のディスプレイ装置において、前記インターフェイスアダプタは、前記第 1、第 2 のインターフェイスの仕様に対応した、前記ディスプレイ装置の仕様に関する情報を記憶したメモリを更に備えることを特徴とするディスプレイ装置。

【請求項 10】（補正後）請求の範囲第 8 項に記載のディスプレイ装置において、前記別の制御回路によって前記メモリを初期状態にするようにしたことを特徴とするディスプレイ装置。

【請求項 11】（補正後）請求第 8 項に記載のディスプレイ装置において、前記別の制御回路と通信を行うデバイス毎に専用通信回線を設けたことを特徴とするディスプレイ装置。

【請求項 12】（補正後）外部コンピュータから出力された映像信号を表示するディスプレイ装置において、表示を制御するための制御回路と、前記外部コンピュータから第 1 のインターフェイス仕様で送信されたコマンド及び／またはデータを前記制御回路で処理可能な第 2 のインターフェイス仕様のコマンド及び／ま

たはデータに変換し、前記制御回路から第2のインターフェイス仕様で送信されたコマンド及び／またはデータを前記外部コンピュータで処理可能な第1のインターフェイス仕様のコマンド及び／またはデータに変換する変換回路を備えたインターフェイスアダプタとを有することを特徴とするディスプレイ装置。

【請求項13】（補正後）請求の範囲第9項に記載のディスプレイ装置において、前記別の制御回路及び／または前記ハブを初期状態とするリセット手段を更に設けたことを特徴とするディスプレイ装置。

【請求項14】削除

【請求項15】（補正後）請求の範囲第7項または第8項に記載のディスプレイ装置において、前記インターフェイスが有する別の制御回路と、複数のディスプレイ装置が有する制御回路との通信可能にしたことを特徴とするディスプレイ装置。

【請求項16】（補正後）請求の範囲第15項に記載の前記複数のディスプレイ装置は、ディスプレイ装置を上下または左右、或いは上下、左右両方につなぎ合わせたマルチスクリーンディスプレイであることを特徴とするディスプレイ装置。

【請求項17】（補正後）外部コンピュータとの通信を行うためのインターフェイス手段を用いて、表示の制御を行うための制御回路と前記外部コンピュータとの間の通信を可能にしたディスプレイ装置において、前記インターフェイス手段に関する識別情報を記憶するメモリ備え、該メモリに記憶された識別情報を前記インターフェイス手段に供給し、該インターフェイス手段を介して前記外部コンピュータへ伝送するように構成したことを特徴とするディスプレイ装置。

【請求項18】（補正後）請求の範囲第17項に記載のディスプレイ装置において、前記インターフェイス手段は、ハブユニットであって、前記メモリが記憶する識別情報は、前記ハブユニットのメーカー名、製品名に関する情報を少なくとも含むことを特徴とするディスプレイ装置。

【請求項19】（補正後）請求の範囲第17項に記載のディスプレイ装置において、前記制御回路が前記メモリを持つことを特徴とするディスプレイ装置。

【請求項20】削除

【請求項21】（補正後）請求の範囲第17項に記載のディスプレイ装置におい

て、前記ハブユニット内にバックアップ用の識別情報を設け、前記メモリから識別情報が得られない場合に前記バックアップ用の識別情報を前記外部コンピュータへ伝送することを特徴とするディスプレイ装置。

【請求項 2 2】（補正後）請求の範囲第 1 7 項に記載のディスプレイ装置において、該ディスプレイ装置に関する識別情報を記憶する別のメモリを更に設けたことを特徴とするディスプレイ装置。

【請求項 2 3】（補正後）請求の範囲第 2 2 項に記載のディスプレイ装置において、前記別のメモリよりも前記メモリに記憶された識別情報を優先することを特徴とするディスプレイ装置。

【請求項 2 4】（補正後）R、G、B のビデオ信号が入力されるビデオ処理回路と、該ビデオ処理回路の出力に基づき表示を行う表示デバイスと、前記ビデオ信号とともに入力された同期信号に基づいて前記表示デバイスを駆動するドライブ回路と、前記ビデオ処理回路及び前記ドライブ回路を制御する制御回路と、外部コンピュータとその周辺機器との間で通信を行わせるためのハブユニットとを有するディスプレイ装置において、外部コンピュータから前記ハブユニットに関する識別情報が入力されるように構成したことを特徴とするディスプレイ装置。

【請求項 2 5】（補正後）外部コンピュータから出力された映像信号を表示可能なディスプレイ装置において、

表示を制御するための制御回路と、前記外部コンピュータとその周辺機器との間で第 1 のインターフェイス仕様に基づくシリアル通信を行わせるためのハブユニットと、を有し、

前記ハブユニットは、前記制御回路と第 2 のインターフェイス仕様でシリアル通信を行うように構成され、かつ前記第 1 のインターフェイス仕様で送信された前記外部コンピュータからの情報を前記第 2 のインターフェイス仕様の情報に変換して前記制御回路へ伝送するとともに、前記第 2 のインターフェイス仕様で送信された前記制御回路からの情報を前記第 1 のインターフェイス仕様の情報に変換して前記外部コンピュータへ伝送する変換手段を備えることを特徴とするディスプレイ装置。

【請求項 2 6】削除

【請求項 27】（追加）請求の範囲第 12 項に記載のディスプレイ装置において、前記制御回路から前記変換回路に対して、コマンド及び／またはデータのリード要求をするようにしたことを特徴とするディスプレイ装置。

【請求項 28】（追加）請求の範囲第 12 項に記載のディスプレイ装置において、前記インターフェイスアダプタは、更に前記外部コンピュータとその周辺機器との間で通信を行わせるためのハブ手段を備え、前記外部コンピュータからの第 1 のインターフェイス仕様で送信されるコマンド及び／またはデータが、前記ハブ手段を介して前記変換手段に伝送されることを特徴とするディスプレイ装置。

【請求項 29】（追加）請求の範囲第 28 項に記載のディスプレイ装置において、前記変換手段が、前記第 1 のインターフェイス仕様と異なる第 3 のインターフェイス仕様で前記外部コンピュータと通信可能であることを特徴とするディスプレイ装置。

【請求項 30】（追加）請求の範囲第 28 項に記載のディスプレイ装置において、前記変換手段が、前記第 1 のインターフェイス仕様と異なる第 3 のインターフェイス仕様で、前記ハブ手段を経由せずに前記外部コンピュータと通信可能であることを特徴とするディスプレイ装置。

【請求項 31】（追加）請求の範囲第 17 項に記載のディスプレイ装置において、前記メモリから識別情報が得られない場合には、外部コンピュータによる表示制御機能を制限もしくは禁止するようにしたことを特徴とするディスプレイ装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】

本実施形態のディスプレイ装置 202 は、ハブユニット 203 の内部に第 2 のメモリ 333 を設け、データの内容に応じてどちらのメモリエリアに記録するべきかを選別して記録している点が上述の実施形態と異なる。

例えば、ハブユニット 203 の製造番号はハブユニット 203 固有の値であるため、ハブユニット 203 内のメモリ 333 に記録するのが望ましい。そのような場合には、本実施形態のハブユニット 203 は、メーカー名についてはメモリ 327 の情報を使用し、前記製造番号についてはメモリ 333 の情報を使用するように設定すれば良い。また、メモリ 327 からハブユニット 203 の製造番号を受信したとしてもメモリ 333 からハブユニット 203 の製造番号を受信した場合にはメモリ 333 の情報を優先するなど、情報の項目に応じて優先順位を設けても良い。また、メモリ 333 の情報が欠落している場合にはメモリ 327 の情報で補う等、メモリ 327 のデータをバックアップとして使用しても良い。更に、両方のメモリからリードできないときはハブコントローラ 232 の内部のバックアップデータを第 2 のバックアップデータとして使用する等、バックアップデータに優先順位を設けても良い。

本発明による一実施形態であるディスプレイ装置の構成を示すブロック図を第 29 図に示す。

同図において、204 は第 2 の PC である。第 26 図と同一部分には同一符号を付し、重複する説明は省略する。上述の実施形態はディスプレイ装置 202 内部とハブユニット 203 内部に設けたメモリから識別情報を得る例について述べた。これに対し、本実施形態は、PC 201 とは異なる第 2 の PC を設け、ハブコントローラ 232 が CPU 323 を介して、PC 204 からの識別情報を取得する点が上述の実施形態と異なる。

本実施形態は製造時の動作検証においてメモリ 327 に識別データの

【 国際調査報告 】

国際調査報告		国際出願番号 PCT/JP98/04882	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ¹ G06F 3/153, G06F 13/38, G09G 5/00, H04N 5/44			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ¹ G06F 3/153, G06F 13/38, G09G 5/00, H04N 5/44, G06F 13/14			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1988-1996年 日本国公開実用新案公報 1971-1999年 日本国実用新案登録公報 1998-1999年 日本国登録実用新案公報 1994-1999年			
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
Y	JP, 9-6479, A (梅沢技研株式会社), 10. 1月. 1997 (10. 01. 97), 第1欄第46行目~第2欄第49行目, 第2図 [ファミリー無し]	1-26	
Y	「アスキー」, 第21巻, 第7号, 1日. 7月. 1997 (01. 07. 97), 株式会社アスキー (東京), P. 412	1-26	
Y	日本国実用新案登録出願8-1306号 (日本国登録実用新案公報第3029253号) の願書に添付した明細書及び図面の内容を格納したCD-ROM (厚詮電子股分有限公司), 10. 7月. 1996 (10. 07. 96) [ファミリー無し]	1-26	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 19. 01. 99		国際調査報告の発送日 02.02.99	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 井出 和水 印 5E 9072 電話番号 03-3581-1101 内線 3521	

様式PCT/ISA/210 (第2ページ) (1998年7月)

国際調査報告		国際出願番号 PCT/J P 98/04882
C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 7-21109, A (ヒューレット・パッカード・カンパニ-), 24. 1月. 1995 (24. 01. 95) [ファミリー無し]	1-26
A	「インターフェース」, 第23巻第1号, 1. 1月. 1997 (01. 01. 97), CQ出版 (東京), P. 108-110	1-26
A	J P, 6-236339, A (株式会社日立製作所), 23. 8月. 1994 (23. 08. 94) &US, 5652845, A	1-26
PY	J P, 10-97352, A (三星電子株式会社), 14. 4月. 1998 (14. 04. 98) [ファミリー無し]	1-26
PY	J P, 10-116139, A (三星電子株式会社), 6. 5月. 1998 (06. 05. 98) &KR, 97-76190, A	1-26

フロントページの続き

(72)発明者 今岡 連

日本国神奈川県横浜市戸塚区吉田町292番

地 株式会社日立製作所 システムLSI

開発センタ内

(72)発明者 菊池 和文

日本国神奈川県横浜市戸塚区吉田町292番

地 株式会社日立製作所 映像メディア事

業部内

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。